

# Arquitetura do Roteador de Internet do Cisco 12000 Series: Design da placa de linha

## Contents

[Introduction](#)

[Prerequisites](#)

[Requirements](#)

[Componentes Utilizados](#)

[Conventions](#)

[Principais operações fundamentais](#)

[Determinação de caminho](#)

[Cisco Express Forwarding](#)

[Arquitetura de placa de linha](#)

[Placas de linha de núcleo](#)

[Placas de linha de borda](#)

[Placas de linha de borda canalizadas](#)

[Placas de linha de modo de transferência assíncrono \(ATM\)](#)

[Placas de linha Ethernet](#)

[Placas de linha DPT \(Dynamic Packet Transport\)](#)

[Placas de linha de fim de venda \(EOS\)](#)

[Instalação da placa de linha](#)

[Informações Relacionadas](#)

## [Introduction](#)

Este documento fornece uma visão geral do design de placa de linha do Cisco 12000 Series Internet Router.

## [Prerequisites](#)

## [Requirements](#)

Não existem requisitos específicos para este documento.

## [Componentes Utilizados](#)

As informações neste documento são baseadas no seguinte hardware:

- Cisco 12000 Series Internet Router

The information in this document was created from the devices in a specific lab environment. All of

the devices used in this document started with a cleared (default) configuration. If your network is live, make sure that you understand the potential impact of any command.

## [Conventions](#)

Para obter mais informações sobre convenções de documento, consulte as [Convenções de dicas técnicas Cisco](#).

## [Principais operações fundamentais](#)

O Cisco 12000 Series Internet Router tem uma arquitetura realmente distribuída, pois todas as placas de linha (LCs) executam uma cópia da imagem do software Cisco IOS® e toda a comutação é feita nas LCs. O switching do Cisco Express Forwarding é o ÚNICO caminho de switching. Não há switching rápida, switching ideal e assim por diante, como em outras plataformas; por exemplo, como na série 7500. Para obter uma visão geral dos caminhos de switching não distribuídos disponíveis nas diferentes plataformas, consulte [Como escolher o melhor caminho de switching de roteador para sua rede](#).

As funções de encaminhamento de pacotes são executadas por cada placa de linha. Uma cópia das tabelas de encaminhamento computadas pelo Gigabit Route Processor (GRP) é distribuída para cada placa de linha no sistema. Cada placa de linha executa uma pesquisa independente de um endereço de destino para cada datagrama recebido em uma cópia local da tabela de encaminhamento, e o datagrama é comutado através de uma matriz de comutação de barras cruzadas para a placa de linha de destino. As funções básicas das LCs são encaminhamento IP/Multiprotocol Label Switching (MPLS), resposta de ping e fragmentação de pacotes.

A placa de linha cuida de:

- enfileiramento, como [First In, First Out \(FIFO\)](#) e Modified Deficit Round Robin (MDRR)
- controle de congestionamento - [Detecção Antecipada Aleatória Ponderada \(WRED - Weighted Random Early Detection\)](#)
- outros recursos, como [Listas de Acesso \(ACLs\)](#) e [Taxa de Acesso Consolidada \(CAR\)](#)
- estatísticas, tal como contabilização de [NetFlow](#) e Cisco Express Forwarding

Antes de prosseguir com a arquitetura da placa de linha, é importante entender as operações específicas do Cisco 12000. Eles podem ser divididos nas seguintes categorias:

- Determinação de caminho
- Cisco Express Forwarding
- Qualidade de Serviço (QoS), como Gerenciamento de Congestionamentos

## [Determinação de caminho](#)

O processo de determinação do caminho do Cisco 12000 envolve as seguintes atividades:

- Processamento de protocolos de roteamento interno, como EIGRP, IS-IS, OSPF
- Processamento do protocolo de gateway externo, como o Protocolo BGP
- Emissão e resposta a atualizações de roteamento
- Criando e mantendo a tabela de roteamento
- Resolvendo rotas recursivas

- Enviando atualizações para as tabelas de encaminhamento

Antes que o 12000 possa encaminhar qualquer datagrama IP, o GRP deve criar uma tabela de roteamento local. Esta tabela de roteamento contém informações do Next Hop do IP Packet de entrada.

O GRP cria e mantém a tabela de roteamento processando os protocolos de roteamento interno, como Enhanced Interior Gateway Routing Protocol (EIGRP), Intermediate System-to-Intermediate System (ISIS), Open Shortest Path First (OSPF) e Border Gateway Protocol (BGP).

Esta tabela contém todas as entradas e métricas de rotas (por exemplo, comprimento do caminho) necessárias para encaminhar um pacote IP. Além disso, o GRP calcula todas as rotas recursivas que ocorrem quando o suporte é fornecido para um protocolo interno e um protocolo de gateway externo como o BGP. O GRP e as placas de linha usam um novo método de switching distribuída chamado Cisco Express Forwarding distribuído (dCEF). Com esse método de switching distribuída, o encaminhamento de pacotes, incluindo as informações de rota recursiva precalculadas, é enviado a cada placa de linha.

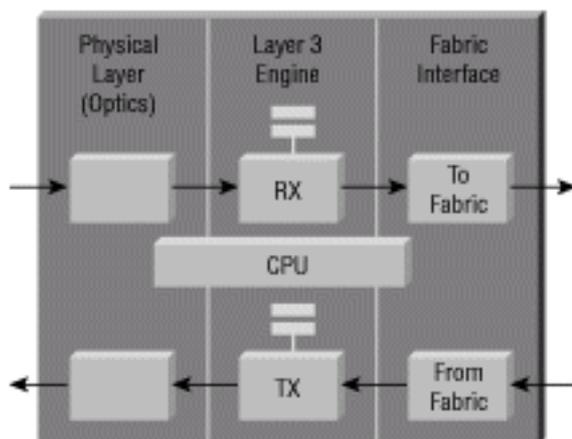
## Cisco Express Forwarding

Para saber mais sobre o Cisco Express Forwarding, consulte [Understanding Cisco Express Forwarding on the Cisco 12000 Series Internet Router \(Entendendo o Cisco Express Forwarding no roteador de internet série 12000 da Cisco\)](#).

## Arquitetura de placa de linha

Há diferentes tipos de arquitetura de placa de linha que se baseiam no tipo de mecanismo. A figura a seguir mostra um diagrama comum genérico para todos os LCs:

### Diagrama da placa de linha



Cada LC pode ser dividido em três seções principais:

- Physical Layer Interface Module (PLIM) - Este é o módulo de hardware que termina a conexão física (dependente do meio físico; portanto, ATM (Asynchronous Transfer Mode Modo de Transferência Assíncrona), POS (Packet-over-SONET) e Fast Ethernet)
- L3 Switching Engine - Este mecanismo de encaminhamento na verdade prepara pacotes para transmissão através da matriz de comutação para a LC de destino. Ele lida com pesquisas, regravações, buffering, controle de congestionamento e todos os recursos de QoS

de L3. Existem cinco tipos de mecanismos de encaminhamento de pacotes, os mecanismos 0, 1, 2, 3 e 4. As placas de linha a partir dessa gravação são classificadas pelo tipo de mecanismo de encaminhamento de pacotes descrito na tabela abaixo.

- Interface de estrutura - O FIA (Fabric Interface ASIC) prepara os pacotes para transmissão através da matriz de comutação para o LC de destino. Ele cuida das solicitações de concessão de estrutura, enfileiramento de estrutura, replicação multicast por slot e assim por diante.

A série Cisco 12000 oferece um portfólio extenso de placas, incluindo Core, Edge, Channelized Edge, ATM (Asynchronous Transfer Mode), Ethernet, DPT (Dynamic Packet Transport) e End-of-Sale. Essas placas de linha fornecem alto desempenho, garantia de entrega e serviço de pacote de prioridade, além de OIR (Inserção e remoção on-line) transparente, através da arquitetura de sistema distribuída do Cisco 12000 Series. As tabelas a seguir listam as placas de linha lançadas após dezembro de 2001 com o tipo correspondente de Engine:

### Placas de linha de núcleo

Nome da placa de linha	Mecanismo	Gabinete suportado	Versão do IOS	Recursos
Placa de linha ISE POS/SDH de 1 porta OC-48 POS ISE e 1 porta OC-48c/STM-16c	Mecanismo 3 (ISE)	Chassi 10 G Chassi 2,5 G	12.0(21)S 12.0(21)ST	<a href="#">Ficha técnica</a>
Placa de linha com 1 porta OC-48 POS e 1 porta OC-48c/STM-16c POS/SDH	Mecanismo 2	Chassi 10 G Chassi 2,5 G	12.0(10)S 12.0(11)ST	<a href="#">Ficha técnica</a>
4 portas OC-48 POS Placa de linha 4 portas OC-48c/STM-16c POS/SDH	Mecanismo 4	Soment e chassi de 10G	12.0(15)S 12.0(17)ST	<a href="#">Ficha técnica</a>
1 porta OC-192 POS Placa de linha 1 porta OC-192c/STM-64c POS/SDH	Mecanismo 4	Soment e chassi de 10G	12.0(15)S 12.0(17)ST	<a href="#">Ficha técnica</a>

### Placas de linha de borda

Nome da placa de linha	Mecanismo	Gabinete suportado	Versão do IOS	Recursos
6 portas DS3 Placa de linha de seis portas DS3	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(10)S 12.0(11)ST	<a href="#">Ficha técnica</a>
12 portas DS3 Placa de linha de doze portas	Mecanismo	Chassi 10 G	12.0(10)S	<a href="#">Ficha técnica</a>

DS3	o 0	Chassi 2,5 G	12.0( 11)ST	
Placa de linha E3 seis portas	Mecanismo o 0	Chassi 10 G Chassi 2,5 G	12.0( 15)S 12.0( 16)ST	<a href="#">Ficha técnica</a> (versão em pdf)
12 portas E3 Placa de linha 12 portas E3	Mecanismo o 0	Chassi 10 G Chassi 2,5 G	12.0( 15)S 12.0( 16)ST	<a href="#">Ficha técnica</a> (versão em pdf)
4 portas OC-3 POS Placa de linha de quatro portas OC-3c/STM-1c POS/SDH	Mecanismo o 0	Chassi 10 G Chassi 2,5 G	12.0( 05)S 12.0( 11)ST	
Placa de linha com POS/SDH 8 portas OC-3 POS e 8 portas OC-3c/STM-1c	Mecanismo o 2	Chassi 10 G Chassi 2,5 G	12.0( 10)S 12.0( 11)ST	<a href="#">Ficha técnica</a>
Placa de linha com POS/SDH de 16 portas OC-3 POS e 16 portas OC-3c/STM-1c	Mecanismo o 2	Chassi 10 G Chassi 2,5 G	12.0( 10)S 12.0( 11)ST	<a href="#">Ficha técnica</a>
16 portas OC-3 POS ISE Dezesesseis portas OC-3c/STM-1c POS/SDH ISE	Mecanismo o 3 (ISE)	Chassi 10 G Chassi 2,5 G	12.0( 21)S 12.0( 21)ST	<a href="#">Ficha técnica</a>
Placa de linha com 1 porta OC-12 POS e 1 porta OC-12c/STM-4c POS/SDH	Mecanismo o 0	Chassi 10 G Chassi 2,5 G	12.0( 10)S 12.0( 11)ST	<a href="#">Ficha técnica</a>
4 portas OC-12 POS Placa de linha quatro portas OC-12c/STM-4c POS/SDH	Mecanismo o 2	Chassi 10 G Chassi 2,5 G	12.0( 10)S 12.0( 11)ST	<a href="#">Ficha técnica</a>
4 portas OC-12 POS ISE Placa de linha quatro portas OC-12c/STM-4c POS/SDH ISE	Mecanismo o 3 (ISE)	Chassi 10 G Chassi 2,5 G	12.0( 21)S 12.0( 21)ST	<a href="#">Ficha técnica</a>
Placa de linha ISE POS/SDH de 1 porta OC-48 POS ISE e 1 porta OC-48c/STM-16c	Mecanismo o 3 (ISE)	Chassi 10 G Chassi 2,5 G	12.0( 21)S 12.0( 21)ST	<a href="#">Ficha técnica</a>

### Placas de linha de borda canalizadas

Nome da placa de linha	Mecanismo	Gabinete suportado	Versão do IOS	Recursos
------------------------	-----------	--------------------	---------------	----------

Placa de linha com duas portas CHOC-3 DS1/E1 e duas portas OC-3/STM-1(DS1/E1) canalizadas	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(17)S 12.0(17)S T	<a href="#">Ficha técnica</a>
1 porta CHOC-12, DS3 Placa de linha de uma porta canalizada OC-12 (DS3)	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(05)S 12.0(11)S T	<a href="#">Ficha técnica</a>
1 porta CHOC-12, OC-3 Placa de linha 1 porta canalizada OC-12/STM-4 (OC-3/STM-1)	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(05)S 12.0(11)S T	<a href="#">Ficha técnica</a>
4 portas CHOC-12 ISE Quatro portas canalizadas OC-12/STM-4 (DS3/E3, OC-3c/STM-1c) POS/SDH ISE	Mecanismo 3 (ISE)	Chassi 10 G Chassi 2,5 G	12.0(21)S 12.0(21)S T	<a href="#">Ficha técnica</a>
1 porta CHOC-48 ISE Placa de linha com uma porta canalizada OC-48/STM-16 (DS3/E3, OC-3c/STM-1c, OC-12c/STM-4c) POS/SDH ISE	Mecanismo 3 (ISE)	Chassi 10 G Chassi 2,5 G	12.0(21)S 12.0(21)S T	<a href="#">Ficha técnica</a>
Placa de linha 6 portas canalizado T3 seis portas canalizado T3 (T1)	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(14)S 12.0(14)S T	

### [Placas de linha de modo de transferência assíncrono \(ATM\)](#)

Nome da placa de linha	Mecanismo	Gabinete suportado	Versão do IOS	Recursos
ATM com OC-3 com 4 portas e quatro portas OC-3c/STM-1c ATM	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(5)S 12.0(11)ST	<a href="#">Ficha técnica</a>
1 porta OC-12 ATM Uma porta OC-12c/STM-4c ATM	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(7)S 12.0(11)ST	<a href="#">Ficha técnica</a>
Placa de linha com 4 portas OC-12 ATM e 4 portas OC-12c/STM-4c ATM	Mecanismo 2	Chassi 10 G Chassi 2,5 G	12.0(13)S 12.0(14)ST	<a href="#">Ficha técnica</a>

## Placas de linha Ethernet

Nome da placa de linha	Mecanismo	Gabinete e suporta do	Versão do IOS	Recursos
FE de 8 portas com placa de linha Ethernet de oito portas ECC	Mecanismo 1	Chassi 10 G Chassi 2,5 G	12.0(10)S 12.0(16)ST	<a href="#">Ficha técnica</a>
1 porta GE com ECC Placa de linha Ethernet Gigabit ECC de uma porta	Mecanismo 1	Chassi 10 G Chassi 2,5 G	12.0(10)S 12.0(16)ST	<a href="#">Ficha técnica</a>
3 portas GE Placa de linha de três portas Gigabit Ethernet	Mecanismo 2	Chassi 10 G Chassi 2,5 G	12.0(11)S 12.0(16)ST	<a href="#">Ficha técnica</a>
Ethernet Gigabit de 10 portas com GE de 10 portas	Mecanismo 4 com RX/TX+ /densidade	Chassi 10 G Chassi 2,5 G	12.0(22)S 12.0(22)ST	<a href="#">Ficha técnica</a>

## Placas de linha DPT (Dynamic Packet Transport)

Nome da placa de linha	Mecanismo	Gabinete suportado	Versão do IOS	Recursos
2 Portas OC-12 DPT Duas portas OC-12c/STM-4c DPT	Mecanismo 1	Chassi 10 G Chassi 2,5 G	12.0(10)S 12.0(11)ST	<a href="#">Anúncio de folha de dados</a>
1 porta OC-48c DPT 1 porta OC-48c/STM-16c DPT	Mecanismo 2	Chassi 10 G Chassi 2,5 G	12.0(15)S 12.0(16)ST	<a href="#">Anúncio de folha de dados</a>

## Placas de linha de fim de venda (EOS)

As seguintes placas de ingresso não são mais vendidas. Elas estão listadas aqui somente para referência.

Nome da placa de linha	Mecanismo	Gabinete e suporta do	Versão do IOS
Placa de habilitador OC-192c/STM-64c de uma porta OC-192c/STM-64c POS/Enabler de	Mecanismo 2	Chassi 10 G Chassi	12.0(10)S 12.0(1

uma porta		2,5 G	1)ST
-----------	--	-------	------

Você pode obter todas as fichas técnicas disponíveis, na página [Product Literature](#) (Documentação dos produtos).

**Observação:** as placas de linha do Engine 3 são capazes de executar recursos de borda na taxa de linha. Quanto mais alto o mecanismo da Camada 3, mais pacotes são comutados no hardware.

As únicas coisas que realmente diferenciam uma placa de linha de outra são o PLIM (physical layer interface module, módulo de interface da camada física) e o mecanismo de encaminhamento da camada 3. As placas de linha variam por PLIMs somente dentro do mesmo L3 Forwarding Engine. PLIMs têm componentes dependentes de mídia (por exemplo, o PLIM de Modo de transferência assíncrona (ATM) tem uma Segmentação e remontagem (SAR), e o PLIM de GigE tem um Media Access Control Application-Specific Integrated Circuit - MAC ASIC), mas a teoria do caminho do pacote em todos os PLIMs é bastante similar. Este documento se concentra na PLIM de Packet Over SONET (Pacotes sobre SONET) (POS), mas quando aplicável, são feitas observações sobre as diferenças úteis.

Para determinar o tipo de Mecanismo de Camada 3 de uma placa de linha, o Cisco IOS Software Release 12.0(9)S adicionou o tipo "L3 Engine" à saída do comando **show diag**, como ilustrado abaixo:

```
SLOT 1 (RP/LC 1 ): 1 Port Packet Over SONET OC-12c/STM-4c Single Mode
  MAIN: type 34, 800-2529-02 rev C0 dev 16777215
        HW config: 0x00 SW key: FF-FF-FF
  PCA:  73-2184-04 rev D0 ver 3
        HW version 1.1 S/N CAB0242ADZM
  MBUS: MBUS Agent (1) 73-2146-07 rev B0 dev 0
        HW version 1.2 S/N CAB0236A4LE
        Test hist: 0xFF RMA#: FF-FF-FF RMA hist: 0xFF
  DIAG: Test count: 0xFFFFFFFF Test results: 0xFFFFFFFF
  L3 Engine: 0 - OC12 (622 Mbps)
  !--- Engine 0 card. MBUS Agent Software version 01.40 (RAM) (ROM version is 02.02) Using CAN
  Bus A ROM Monitor version 10.00 Fabric Downloader version used 13.01 (ROM version is 13.01)
  Primary clock is CSC 1 Board is analyzed Board State is Line Card Enabled (IOS RUN ) Insertion
  time: 00:00:11 (2w1d ago) DRAM size: 268435456 bytes FrFab SDRAM size: 67108864 bytes ToFab
  SDRAM size: 67108864 bytes 0 crashes since restart
```

Há um comando de atalho que pode ser usado para obter o mesmo resultado, mas apenas com as informações úteis:

```
Router#show diag | i (SLOT | Engine)
```

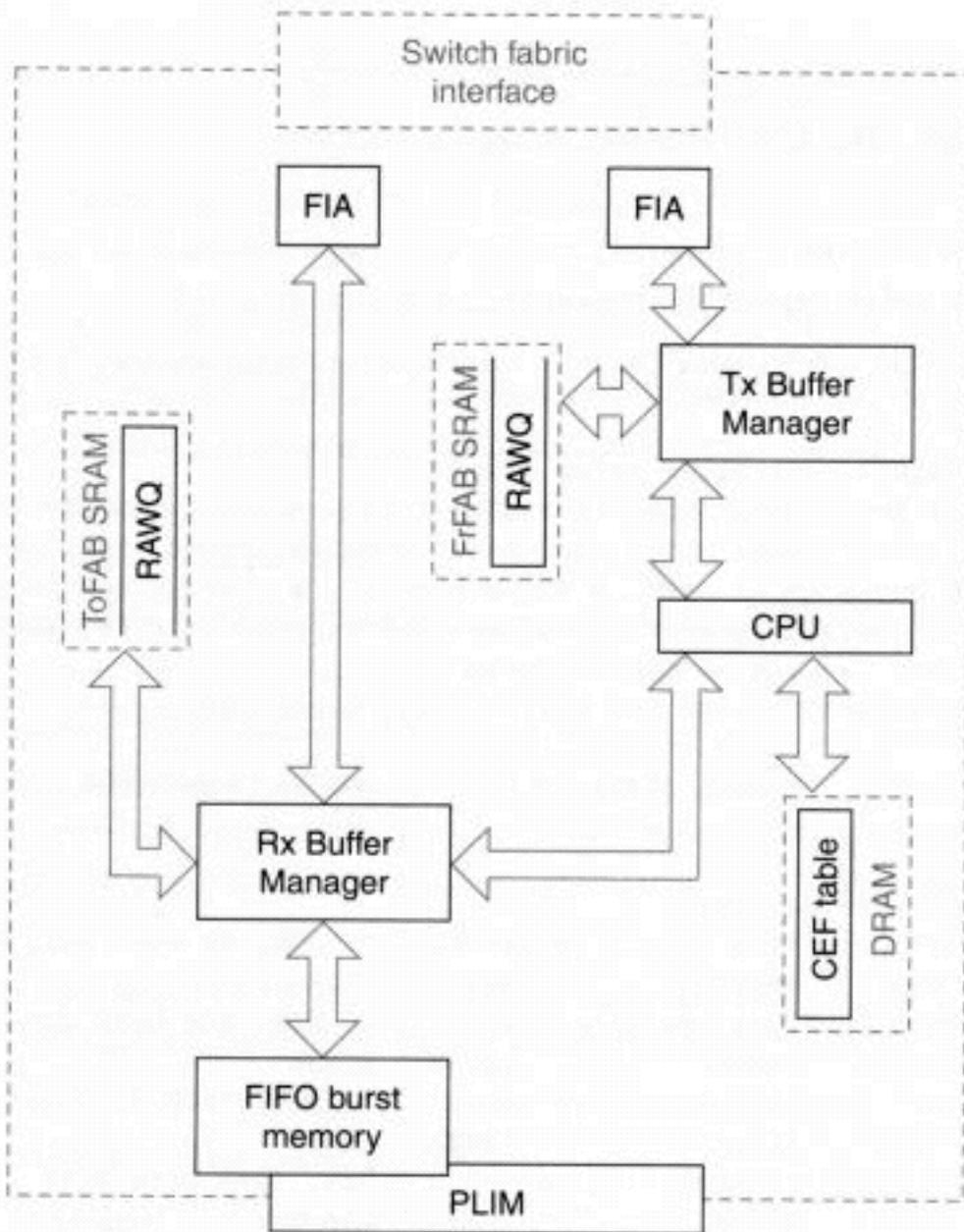
```
...
SLOT 1 (RP/LC 1 ): 1 port ATM Over SONET OC12c/STM-4c Multi Mode
  L3 Engine: 0 - OC12 (622 Mbps)
SLOT 3 (RP/LC 3 ): 3 Port Gigabit Ethernet
  L3 Engine: 2 - Backbone OC48 (2.5 Gbps)
...
```

A Cisco agora oferece cinco tipos de mecanismos L3:

- **Mecanismo 0 - OC12/BMA:** A consulta IP/MPLS é efetuada no software por um CPU R5K. Este mecanismo usa o Buffer Management ASIC (BMA) herdado que gerencia buffers e segmentos de pacote e monta novamente os pacotes para transmissão pelo Switch Fabric. O BMA de recebimento é responsável por receber os pacotes de PLIM, segmentar os pacotes

em células de tamanho fixo e apresentá-los ao FIA (ASIC de Interface de Tela) para transmissão em uma tela de switching. O BMA de transmissão, com a ajuda do FIA, realiza a remontagem das células que chegam do Switch Fabric em pacotes e transferem os pacotes ao PLIM para transmissão a partir da caixa. A maioria dos recursos nesta placa de linha é implementada em software.

- **Motor 1 - Salsa/BMA48 (TTM48):** Este segundo motor foi melhorado. Primeiro, um novo ASIC foi desenvolvido para executar a pesquisa de IP em hardware. Este novo ASIC é chamado de Salsa. Apenas a regravação de Media Access Control (MAC) é feita no software nesse mecanismo. A BMA também foi atualizada para obter mais largura de banda. Agora chama-se BMA48. Não há suporte a MDRR ou WRED para este mecanismo. Os motores de encaminhamento dos motores 0 e 1 são apresentados com os seus principais componentes na figura abaixo: **Engine 0 e Engine 1 Packet Forwarding Engine**

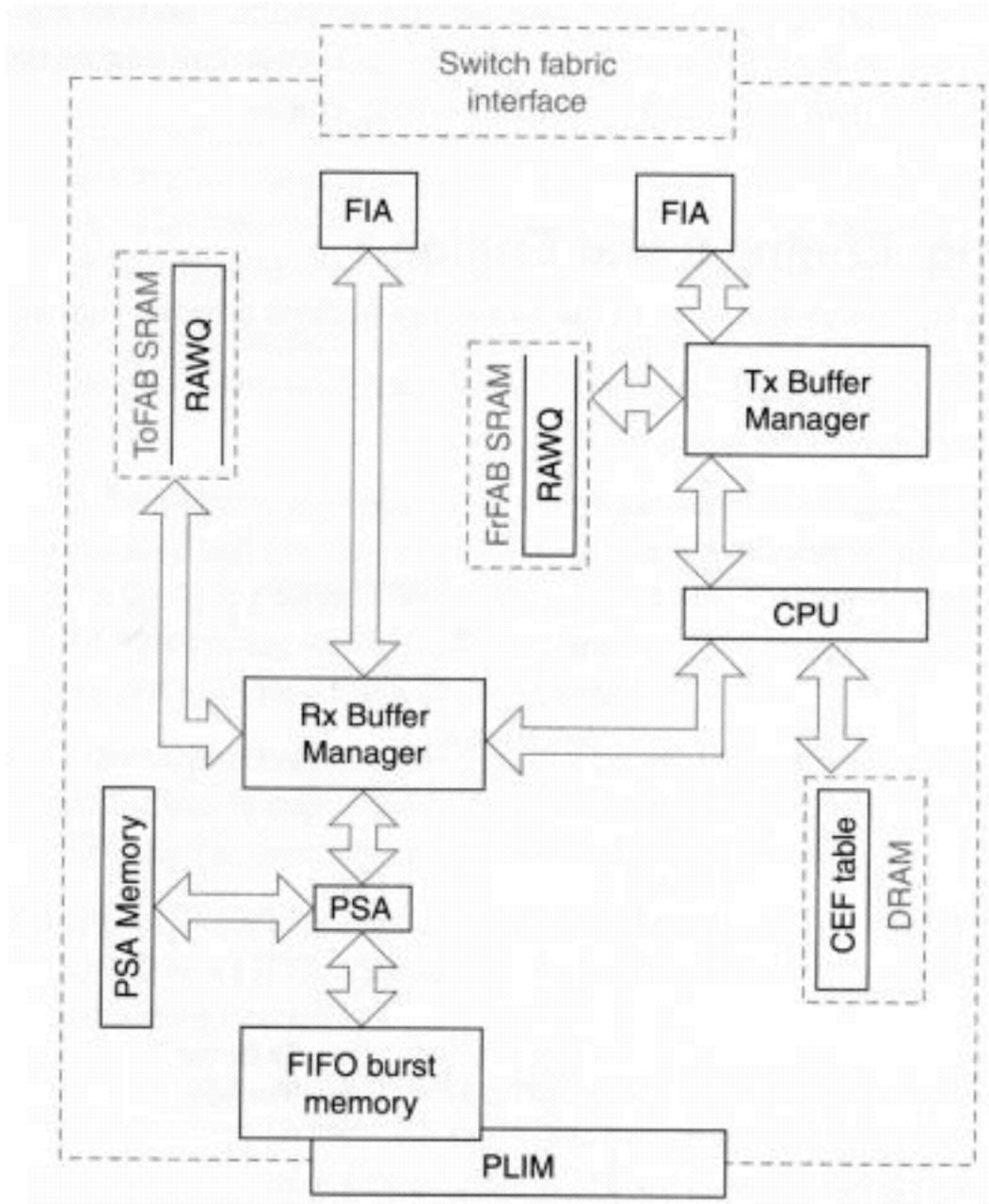


- **Mecanismo 2 - PSA/TBM/MAE (Perf48):** Um novo ASIC está presente nesses LCs para melhorar a maneira como a pesquisa de IP/MPLS é feita. O ASIC de switching de pacotes (PSA) executa uma consulta de hardware e a reescrita dos pacotes de etiquetas e de IP. Para este efeito, o PSA utiliza uma cópia local destilada da tabela FIB (**show ip psa a.b.c.d**). Toda comutação de pacotes em um Engine 2 LC é feita em hardware pelo PSA. A CPU e o

LC são interrompidos para uma decisão de encaminhamento de pacote apenas se um recurso estiver configurado na placa de linha que não é suportada pelo PSA. Esta tabela PSA é armazenada na memória externa, que está presente somente nos LCs do Engine 2.

```
Router#exec slot 11 show controller psa mem
===== Line Card (Slot 11) =====
PLU SDRAM: Size 0x4000000, Banks 4
TLU SDRAM: Size 0x4000000, Banks 4
PSA SSRAM: Size 0x100000
```

A memória do pacote foi aumentada por padrão para 256 MB e pode alcançar 512 MB. Há também os novos gerenciadores de Buffer ASICs Rx e TX (chamados de RBM e TBM, respectivamente), que são uma chave para o suporte com base em hardware para as características de CoS (Classe de Serviço) neste LC: O WRED e o MDRR são executados no hardware. O CAR não está disponível, mas um subconjunto do CAR conhecido como PIRC (Per-Interface Rate Control) pode ser configurado. A partir do software Cisco IOS versão 12.0(14)S, o Sample NetFlow é suportado em placas de linha Engine 2 Packet-over-SONET (POS). O recurso Sampled NetFlow (Fluxo de Rede Exemplificado) permite examinar um de "x" pacotes IP sendo encaminhados para roteadores, possibilitando que o usuário defina o intervalo "x" com um valor entre o mínimo e o máximo. Exemplos de pacotes são considerados no cache de fluxo NetFlow do roteador. Esses pacotes de amostra diminuem substancialmente a necessidade de utilização da CPU para os pacotes NetFlow, permitindo que a maioria dos pacotes seja comutada mais rápido pois eles não precisam passar pelo processamento adicional de NetFlow. Consulte [Amostra de NetFlow](#) para obter mais informações. A partir da versão 12.0(16)S do software Cisco IOS, o Sample NetFlow é suportado em placas de linha Gigabit Ethernet de 3 portas. A partir da versão 12.0(18)S do software Cisco IOS, o Sample NetFlow e as 128 access control lists (ACLs) no PSA agora podem ser configurados ao mesmo tempo em placas de linha Engine 2 Packet-over-SONET (POS). Tudo é comutado através do PSA, com exceção de alguns recursos que têm que ir para a CPU local do LC: o CAR de saída, pacotes com listas de acesso aplicados se não se enquadram nas restrições de PSA, tráfego de opções/não-trânsito, pacotes multicast, pacotes IPv6 e assim por diante. O CAR de saída foi substituído pelo DTS (Distributed Traffic Shaping, modelagem de tráfego distribuído) a partir do software Cisco IOS versão 12.0(16)S. Mais informações estão disponíveis no [Distributed Traffic Shaping for Line Cards no Cisco 12000 Series Internet Router](#). O suporte para ACLs foi alterado no hardware em placas Engine 2. Se não quiser configurá-los, você deve adicionar a linha **no access-list hard psa** à sua configuração. Abaixo está um diagrama de um mecanismo de encaminhamento Engine 2 e seus principais componentes: **Mecanismo 2 de encaminhamento de pacotes**



- **Mecanismo 3** - Mecanismo de aresta: Este é um mecanismo de arquitetura completamente nova de camada 3. Ele também tem largura de banda OC48, mas integra alguns ASICs novos para melhorar a velocidade de encaminhamento com qualquer QoS e recursos de ACL. As placas de linha do Engine 3 são capazes de executar recursos de extremidade na taxa de linha.
- **Mecanismo 4** - Backbone OC192: Essas LCs mais recentes não são suportadas em 12008 e 12012 Series Routers. Eles dão suporte à taxa de linha do OC192.
- **Engine 4+** - Igual ao Engine 4, exceto que eles suportam muito mais recursos na taxa de linha.

## [Instalação da placa de linha](#)

Abaixo estão os links relacionados à instalação e configuração de LCs e suporte de LCs para diferentes chassis:

- [Notas de instalação e configuração da placa de linha Cisco 12000](#)

Para obter mais informações sobre os tipos de memória nas placas de linha, consulte [Memória](#)

[presente nas placas de linha.](#)

## Informações Relacionadas

- [Arquitetura do Cisco 12000 Series Internet Router - Chassi](#)
- [Arquitetura do Cisco 12000 Series Internet Router - Switch Fabric](#)
- [Arquitetura do Cisco 12000 Series Internet Router – Processador de Roteador](#)
- [Arquitetura do Cisco 12000 Series Internet Router - Detalhes de Memória](#)
- [Arquitetura do Cisco 12000 Series Internet Router - Barramento de Manutenção, Fontes de Alimentação e Ventiladores e Placas de Alarme](#)
- [Arquitetura do Cisco 12000 Series Internet Router - Visão Geral do Software](#)
- [Arquitetura do roteador de Internet da série Cisco 12000 – switching de pacote de informações](#)
- [Entendendo o Cisco Express Forwarding \(CEF\)](#)
- [Suporte Técnico e Documentação - Cisco Systems](#)