

Troubleshooting Guide for Synchronous Digital Hierarchy (Guia de Solução de Problemas para Hierarquia Digital Síncrona)

Contents

[Introduction](#)

[Monitoramento de desempenho na rede SDH](#)

[Caminhos e seleções de SDH](#)

[Erro ao monitorar na rede SDH](#)

[Parâmetros de desempenho](#)

[Gerenciamento de desempenho](#)

[Teste de fora de serviço](#)

[Alarmes de SDH](#)

[Alarmes básicos](#)

[Alarmes típicos do caminho do tráfego SDH](#)

[Alarmes de rede](#)

[Respostas](#)

[Informações Relacionadas](#)

Introduction

Este documento discute os princípios de parâmetros de medição de desempenho em redes Synchronous Digital Hierarchy (SDH). Este documento fornece uma descrição dos alarmes básicos associados às redes SDH e, também, os processos de sinal envolvidos em um Multiplexador ADM (Add/Drop). Alguns dos alarmes do ADM mais significativos que são gerados em vários pontos na rede SDH são ilustrados.

Após ler este documento, você poderá indicar:

- O erro de relação indica em vários níveis na rede SDH.
- Os principais parâmetros de desempenho disponíveis no equipamento SDH.
- O efeito no tráfego para as taxas de erro fornecidas.
- O significado de alguns dos alarmes mais significativos gerados em equipamentos SDH.
- Alguns dos alarmes mais significativos gerados em determinados pontos de uma rede SDH.

Monitoramento de desempenho na rede SDH

Esta seção descreve os caminhos e as seleções SDH.

Caminhos e seleções de SDH

A Figura 1 mostra como os RSOHs (Regenerator Section Overhead, Cabeçalhos da seção do Regenerador) terminam em cada extremidade do RS e como os MSOHs (Multiplex Section Overhead, Cabeçalhos da seção multiplex) terminam em cada extremidade do MS. Os POHs (Path OHs, OHs de caminho) terminam no final do caminho e serão Pedido mais alto (HO) ou Pedido mais baixo (LO).

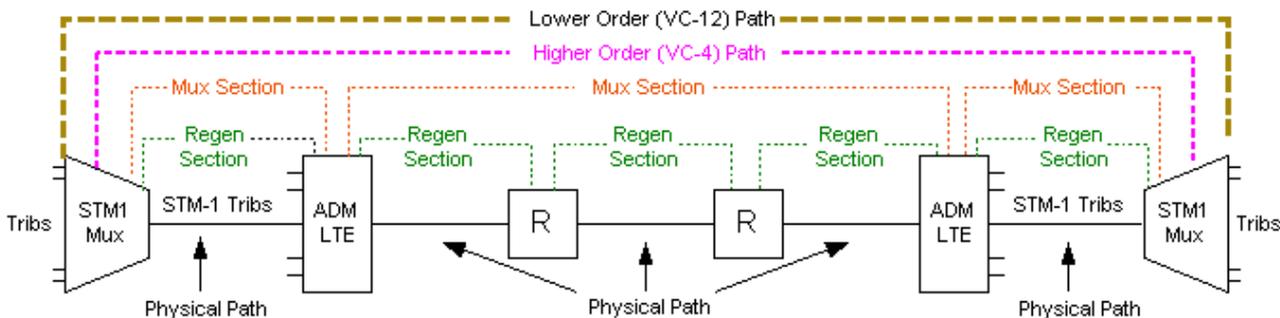


Fig 1 SDH Sections and Paths

A Figura 2 mostra os SOHs do Módulo de Transporte Síncrono 1 (STM-1) e um POH VC-4:

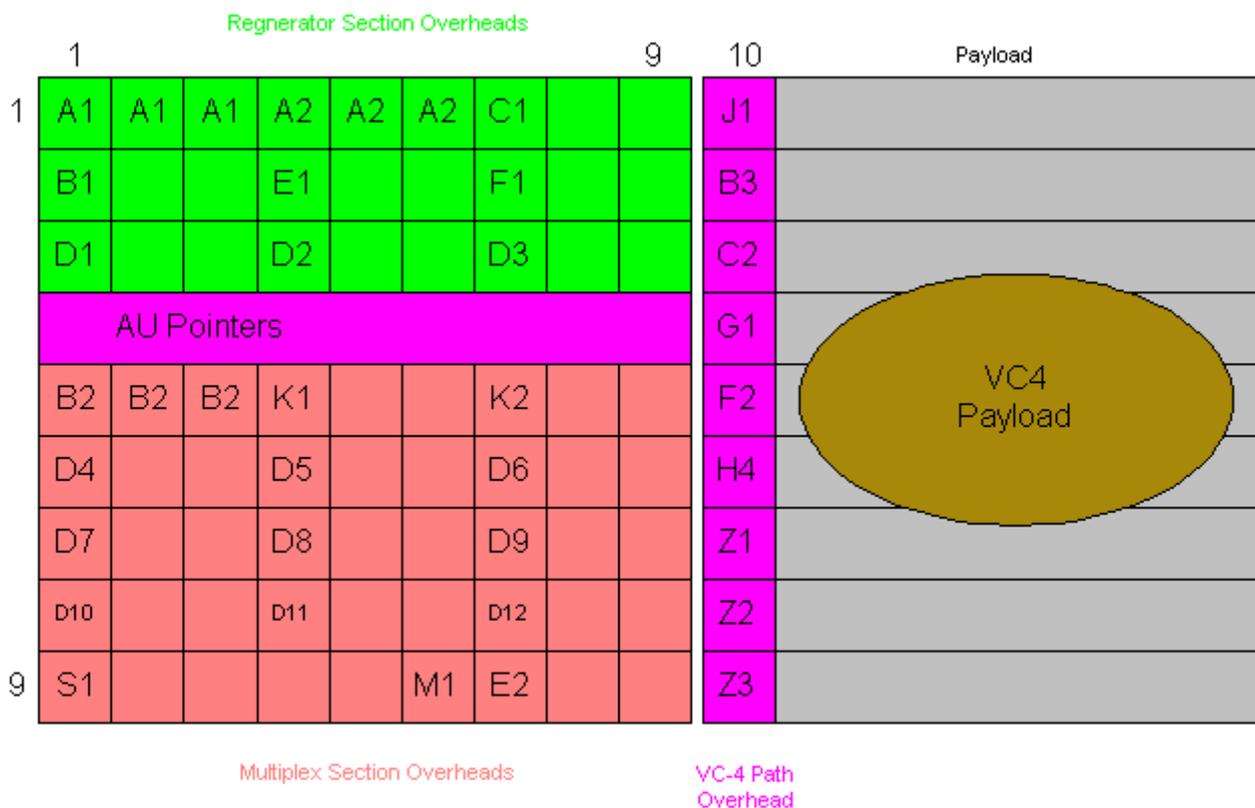


Fig 2 Section and VC-4 Path Overheads

Observação: bytes vazios estão marcados como Z e não têm função especificada no momento.

As tabelas nesta seção descrevem os vários tipos de bytes.

Bytes RSOH

Byte	Descrição
A1, A2	Palavra de alinhamento de quadro (FAW). Esses bytes produzem um padrão fixo que identifica o início de cada quadro STM-1.

C1 (J0)	C1 identifica o quadro STM-1 em um sinal do Synchronous Transport Module-n (STM-n). Isso pode ser substituído em versões futuras de equipamentos por um byte J0, que é o byte de rastreamento RS.
B1	byte de verificação de erro Bit Interleaved Parity-8 (BIP-8) para verificar erros no sinal STM-1 completo no final de um RS.
D1 para D3	Data Communications Channel (DCC) para monitorar e controlar as funções entre o equipamento de terminação do regenerador.
E1	E1 é usado para fornecer um canal de alto-falante. Ela não é usada por alguns fornecedores.
F1	F1 fornece um canal de dados para usuários opcionais diversos.

Bytes MSOH

Byte	Descrição
B2	bytes de verificação de erro BIP-24 para verificação de um sinal STM-1 (menos o RSOH) no final do MS.
K1 e K2	Eles são usados para controlar a comutação de proteção MS, sinais de sinalização de alarme (AIS), falha remota de extremidade oposta (FERF) e alarmes de comutação de proteção automática (APS - Automatic Protection Switching), quando implementados.
D4 para D12	DCC para monitorar e controlar as funções entre o equipamento de terminação MS.
S1	Byte de Mensagem de Status de Sincronização (SSMB), usado para sinalizar a qualidade da origem de sincronização atualmente em funcionamento para um Elemento de Rede (NE) de downstream.
M1	M1 é usado para sinalizar informações de erro para a extremidade de origem do MS.
E2	E2 é usado para fornecer um canal de alto-falante. Ela não é usada por alguns fornecedores.

Bytes OH de caminho VC-4

Byte	Descrição
J1	O rastreamento de caminho VC-4 pode ser usado para transportar um padrão atribuído pelo operador para identificar VC-4s específicos.

B3	byte de verificação de erro BIP-8 usado para verificar erros em um caminho VC-4 de ponta a ponta.
C2	Ele descreve o conteúdo e a estrutura do payload.
G1	Ele envia dados de erro e alarmes FERF para a extremidade de origem do caminho VC-4.
F2	Canal do usuário.
H4	Identificador multiframe. Uma TU (Tributary Unit, Unidade Tributária) é distribuída através de quatro quadros consecutivos conhecidos como multiframe. Esse byte é usado para garantir a sequência correta de quadros dentro do multiframe.

Bytes OH de caminho VC-12

Byte	Descrição
J2	Rastreamento de caminho LO.
N2	byte de monitoramento de conexão Tandem.
K4	Indicação avançada de detecção remota e APS.

O caminho principal do LO OH é o byte V5.

A estrutura é assim:

BIP-2		REI	RFI	Signal Label			RDI
1	2	3	4	5	6	7	8

Bits	Descrição
Bits 1 e 2	Eles são usados para detectar erros no caminho do LO fim-a-fim.
Bit 3	Remote Error Indicator (REI), anteriormente um alarme de caminho de erro de bloco da extremidade oposta (FEBE).
Bit 4	Alarme RFI.
Bits 5 a 7	Sinal Label (SL). Descreve a composição do payload VC-12. Por exemplo: 000= Não Habilitado 001= Equipamento não específico 010= Assíncrono 011= Bit síncrono 100= Byte síncrono 111= Circuito Virtual (VC)-AIS
Bit 8	Indicação de defeito remoto, antes um alarme de FERF.

[Erro ao monitorar na rede SDH](#)

Até agora, este documento discutiu estes pontos:

- um byte B1 é usado para verificar se há erros no RS.
- um byte B2 é usado para verificar se há erros no MS.
- um byte B3 é usado para verificar se há erros no caminho VC-4.
- um byte V5 é usado para verificar se há erros no caminho VC-12.

A Figura 3 representa o mesmo módulo discutido anteriormente, mas o equipamento foi rotulado de A a F. O multiplexador STM-1 (MUX) é configurado para multiplexar 63 x 2 Mbit/s.

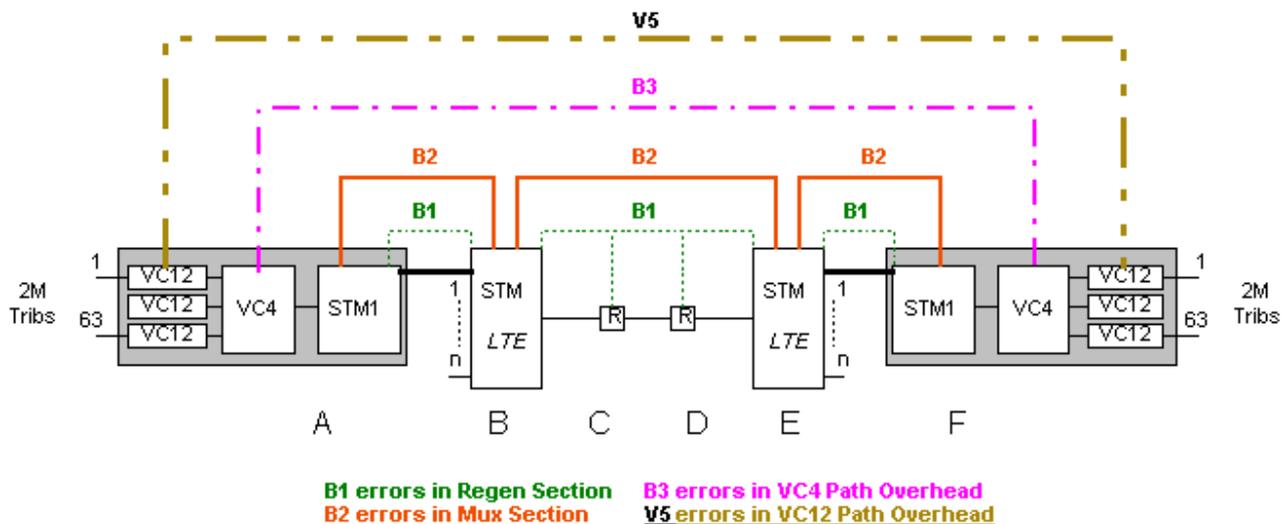


Fig 3 Error Monitoring in an SDH Network

Usando os princípios discutidos e as informações nos OHs, certifique-se de conhecer as respostas para essas perguntas antes de prosseguir com este documento:

Pergunta 1

Uma falha em uma placa tributária no STM-1 MUX A introduz erros em um único VC-12. Verifique onde os erros serão indicados ao operador da rede.

A B C D E F

Pergunta 2

Uma falha está corrompendo o VC-4. Esses erros geralmente seriam descritos como erros B3. Verifique onde os erros serão indicados ao operador da rede.

A B C D E F

Pergunta 3

O Equipamento de Terminação de Linha (LTE - Line Terminating Equipment) do STM-n MUX em B está indicando erros B1 em uma entrada tributária. A falha deve estar entre ___ e ___.

Pergunta 4

Verifique outros locais onde você acha que erros de B1 serão indicados para essa falha.

A B C D E F

Pergunta 5

Quantos sinais 2M serão afetados? ____.

Pergunta 6

O STM-n MUX em E está indicando erros B2 no sinal óptico de B. A falha deve estar entre ____ e ____.

Pergunta 7

Haveria uma indicação de erro B2 em F?

Pergunta 8

Haveria indicação de erro B3 em F?

Clique [aqui](#) para revisar as respostas corretas para as perguntas acima.

Parâmetros de desempenho

Vimos como os bytes B1, B2, B3 e V5 podem ser usados para detectar erros em seções e caminhos específicos. Os mecanismos de verificação de erros são baseados na detecção de erros de BIP. Isso funciona considerando os erros B1, que são BIP-8.

O quadro STM-1 consiste em uma série de bytes de 8 bits. O primeiro bit de cada byte em todo o quadro é examinado. Se o número total de 1s binários for ímpar, o primeiro bit do byte B1 no próximo quadro será definido como binário 1 para tornar o número total de 1s par. Se o número total de 1s já for igual, o primeiro bit do byte B1 será definido como 0 binário. Isso é conhecido como paridade par.

O segundo bit de cada byte no quadro é examinado. O segundo bit no byte B1 no próximo quadro é definido para produzir paridade par. Esse processo é repetido para cada uma das oito sequências de bits possíveis.

As violações de paridade são registradas como violações de código (CVs). O processo é semelhante para erros B2. O mecanismo é o BIP-24, ou seja, o quadro STM-1 menos o RSOH, é dividido em unidades de 24 bits. Há três bytes B2. Os bits são definidos para produzir paridade par como antes, mas mais de 24 fluxos de bits possíveis. B3 (BIP-8) verifica somente o VC-4 e V5 (BIP-2) verifica somente o VC-11/12. Os CVs podem ser comunicados como uma contagem direta ou processados para calcular um número de outros parâmetros de desempenho. A tabela a seguir lista os parâmetros mais comumente monitorados em equipamentos SDH.

Acrônimo	Parâmetro	Descrição
CV	Violações de Código	Número de violações de paridade BIP-n no quadro anterior.
EBER	Taxa de	A taxa equivalente na qual o cliente

	erro binário equivalente	terá erros como proporção. Por exemplo, 1 em 10 e-3.
ES	Segundos com Erros	Pelo menos um segundo intervalo durante o qual ocorreu pelo menos um erro.
SES	Segundo com erro grave	Um intervalo de um segundo durante o qual o EBER excedeu 1 em 10 E-3.
UAS	Segundos Indisponíveis	O número de segundos durante os quais o sinal está alarmado ou passando por um EBER superior a 1 em 10 E-3 por 10 segundos consecutivos.

A maioria dos equipamentos SDH pode ser definida para reportar parâmetros de desempenho. Sob demanda, eles podem ser definidos para gerar relatórios por um período predefinido de 24 horas, 15 minutos quando um limite predefinido tiver sido excedido. Além disso, alarmes de erro em excesso podem ser aumentados quando a taxa de uma determinada entidade (B1, B2, B3 e assim por diante) exceder 1 em 10 e-3. Isso fará com que os AISs substituam o tráfego corrompido. Os alarmes de Degradação de Sinal (SD) podem ser aumentados quando a taxa de erro de uma determinada entidade (B1, B2, B3, etc.) exceder 1 em 10 e-6. Essa taxa pode causar switching de proteção se o equipamento tiver sido configurado adequadamente.

Gerenciamento de desempenho

O monitoramento de desempenho em objetos específicos, por exemplo, erros B3 em um caminho VC-4 especificado ou erros V5 em um circuito do cliente (trilha VC-12), podem ser iniciados ad-hoc e os resultados examinados conforme necessário. No entanto, seria impraticável aplicar esse processo manual em geral. Uma plataforma de gerenciamento de desempenho foi desenvolvida para coletar e relatar parâmetros de desempenho em uma forma, que pode ser usada por unidades de negócios apropriadas. Por exemplo, eles podem ser usados pelo pessoal do Network Operations Center (NOC) para identificar problemas de rede ou pelo pessoal de marketing para produzir relatórios para os principais clientes.

Teste de fora de serviço

Os erros VC-12 (V5) verificam apenas erros entre o local em que o POH é adicionado, no final da trilha em que é examinado. O mecanismo não verifica o circuito completo de uma interface do cliente para outra. Podem surgir circunstâncias em que o cliente insiste que o circuito está com defeito, mas não temos indicação disso. Nessa situação, o circuito é geralmente retirado de serviço e testado de ponta a ponta. A técnica é enviar um padrão de bits conhecido de uma extremidade do circuito e examiná-lo na outra extremidade em busca de erros.

O sinal de teste mais comumente usado é conhecido como pseudo-aleatório. Este é um padrão acordado internacionalmente, que simula padrões de bits aleatórios. Pseudo-padrões aleatórios estão disponíveis em uma variedade de comprimentos, isto é, o número de bits enviados antes que o padrão seja repetido. O comprimento do padrão usado está relacionado à taxa de bits do circuito. Um testador na extremidade receptora lê o padrão de entrada. Cada bit incorreto é

registrado como um erro de bit. Os erros de bit podem ser relatados como uma contagem de erros direta ou podem ser processados posteriormente para calcular os tipos de parâmetros mencionados na tabela acima.

Alarmes de SDH

Alarmes básicos

Agora, examinamos alguns alarmes básicos que são comuns à maioria dos equipamentos SDH. Para ilustrar o significado desses alarmes, vamos rever a sequência de operações que um NE deve executar, para selecionar um sinal de 2 Mbit/afluente específico de dentro de um sinal STM-1. O processo é ilustrado na Figura 4.

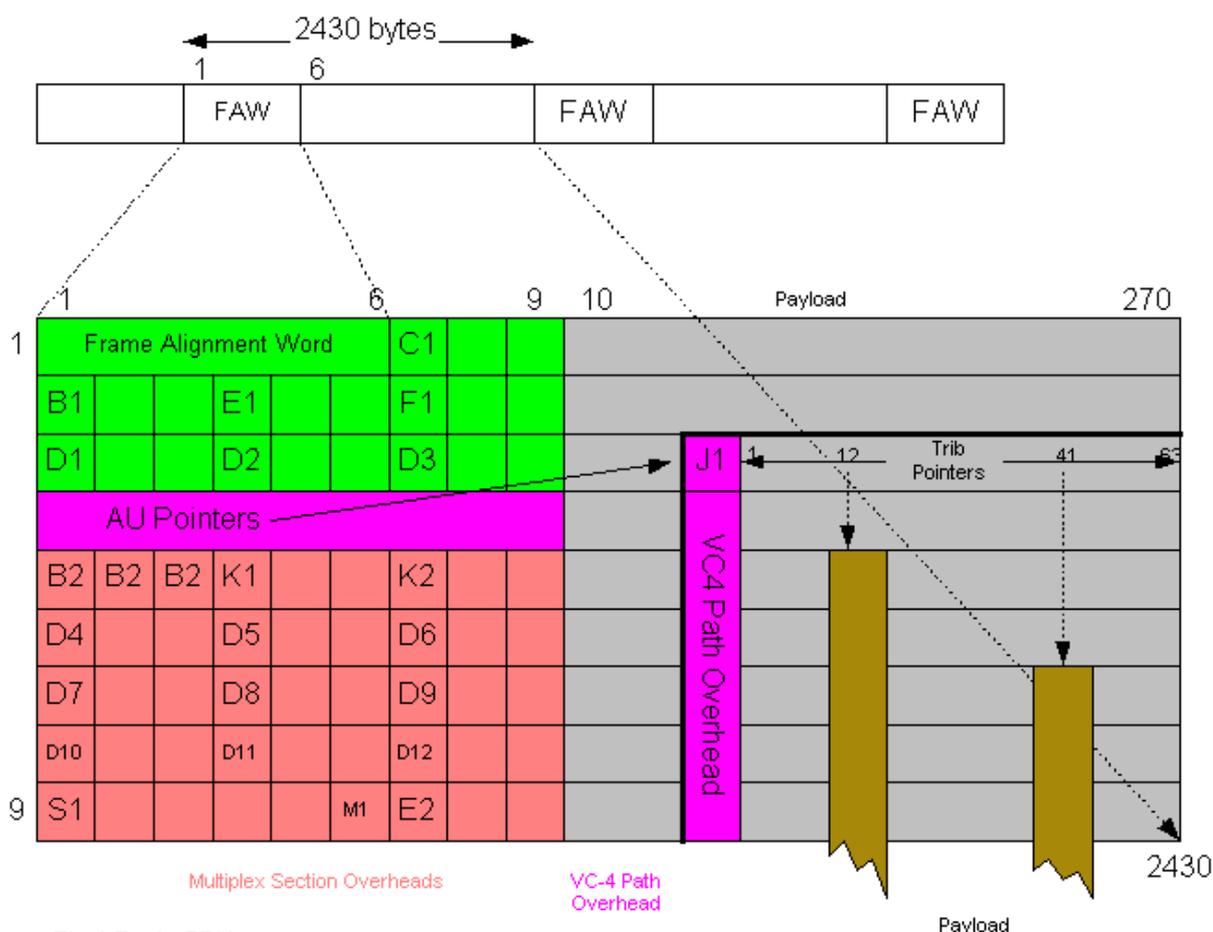


Fig 4 Basic SDH processes

Embora convencionalmente mostremos o quadro SDH de 2.430 bytes em 270 colunas e nove linhas, um NE que recebe um sinal SDH na verdade vê dados seriais. Os dados seriais consistem em quadros STM-1. O problema mais fundamental que pode ocorrer é que não há sinal na interface física. Essa condição levantará um alarme de perda de sinal (LOS). Supondo que o sinal esteja presente, a primeira tarefa do NE é identificar onde os quadros STM-1 estão nos dados seriais. Ele faz isso identificando o FAW que está contido nos primeiros seis bytes do RSOH. Se ele não puder identificar o FAW, um alarme de perda de quadro (LOF) será ativado.

A próxima etapa é descobrir onde os VC-4s estão localizados em relação ao FAW. Isso é estabelecido lendo o ponteiro da Unidade de Administração (AU) para localizar o byte J1 no POH VC-4. Se não for possível encontrar um ponteiro sensível, um alarme LOP (Perda de ponteiro) será acionado no nível do AU. Isso é geralmente conhecido como AU-LOP, embora tenha sido visto como VC-4 LOP, o que não é estritamente correto. A próxima etapa é localizar e ler o

ponteiro da unidade tributária (TU) para a TU especificada. Se não for possível encontrar um ponteiro sensível, um alarme LOP será ativado no nível de TU.

Alarmes AIS e FERF

Os alarmes LOS, LOF e LOP tornarão o sinal inteiro inutilizável. Nesse caso, o sinal ausente ou corrompido é substituído por um AIS que consiste em 1s binários contínuos. Isso produzirá alarmes AIS em todos os equipamentos a jusante da falha. O NE que detecta a falha também envia uma indicação para a extremidade distante (de envio) de que um alarme foi disparado. Isso gera um alarme de FERF no nível apropriado no NE transmissor. Assim, uma falha a nível dos Estados-Membros produzirá um MS-FERF. No nível VC-4, ele produzirá um VC-4 FERF ou, em alguns equipamentos, HO-FERFs. Alguns elementos SDH se referem a uma indicação de alarme remoto em alguns níveis da hierarquia.

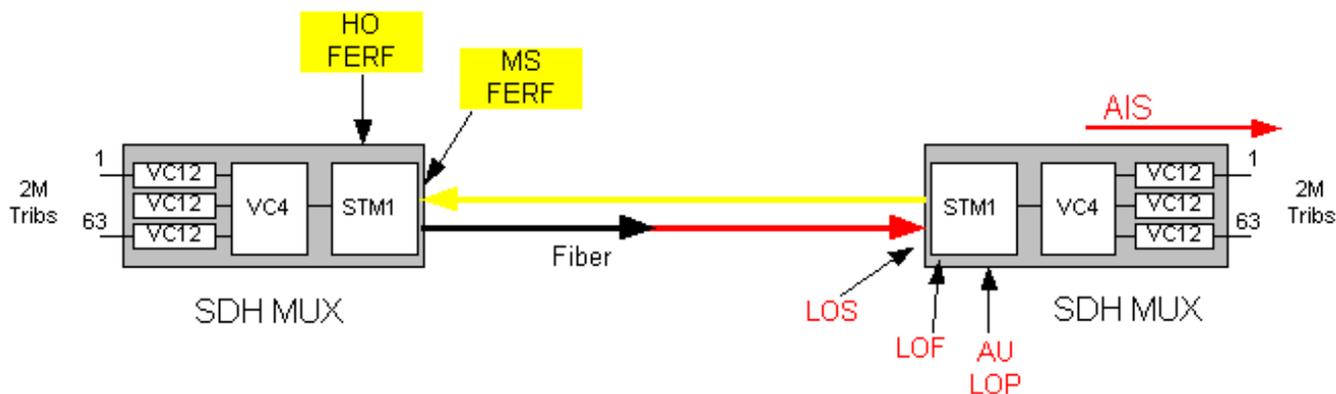
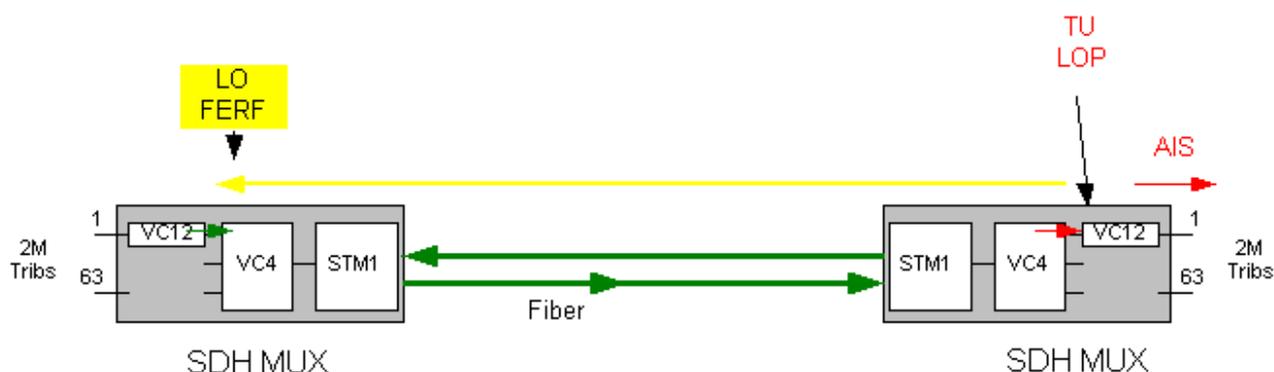


Fig 5 AIS and FERF at MS and Higher Order Levels

Se a falha estiver no LO, por exemplo, no nível TU-12, o sinal apropriado (dados do cliente) para o afluente afetado é substituído por AIS e FERFs (RAIs) sendo enviados para o elemento de transmissão distante apropriado. Esse processo é ilustrado na Figura 6.

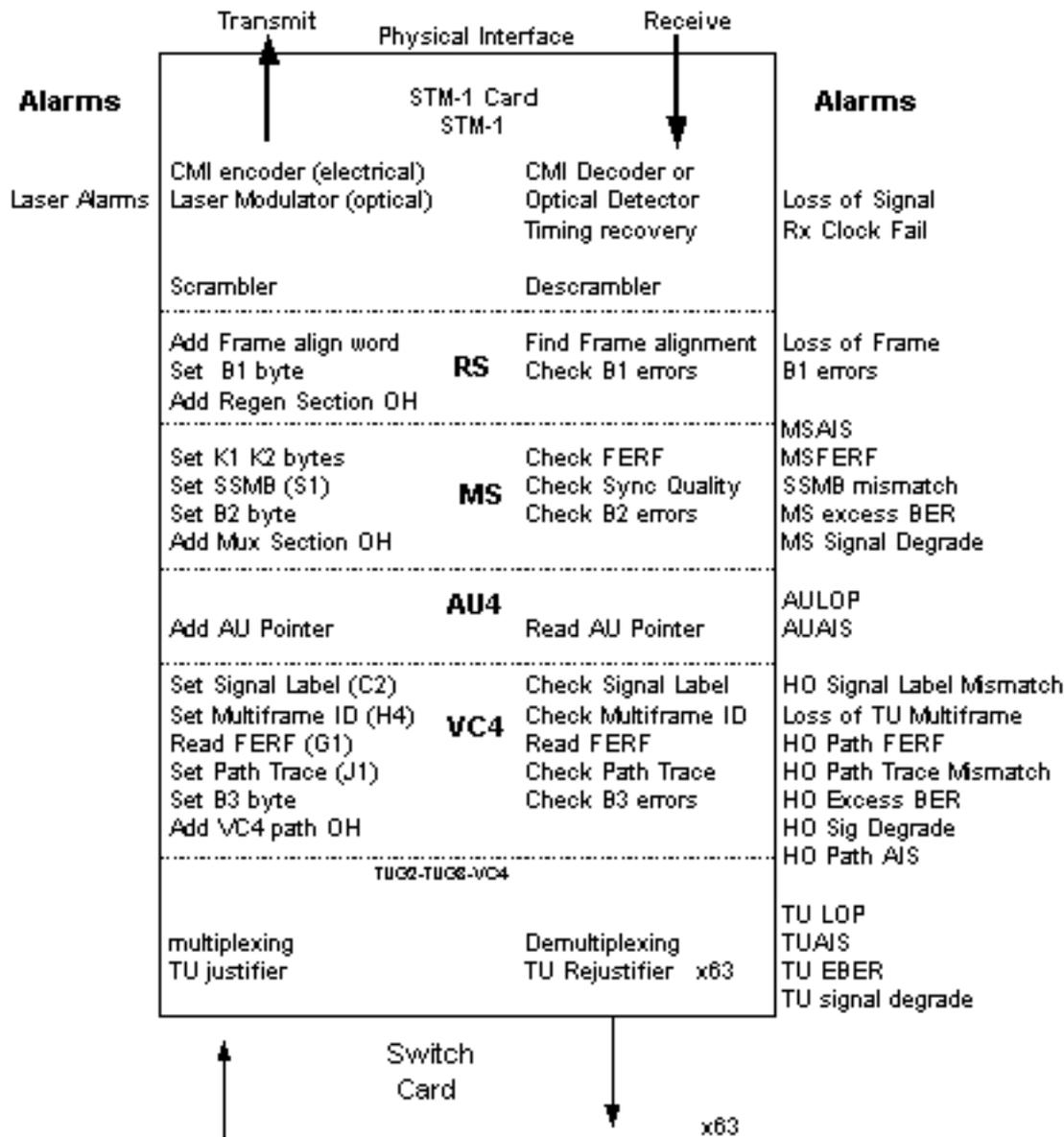


Indicações de erro distante

Os erros detectados em um sinal de entrada podem ser indicados ao elemento de origem distante de forma semelhante. Nesse caso, a indicação é um alarme FEBE e é indicada no NE transmissor no nível em que os erros são detectados. Por exemplo, MS para erros B2, nível VC-4 para erros B3 e V5 para erros VC-11/12. O termo FEBE foi substituído por Remote Error Indication (REI).

Alarmes típicos do caminho do tráfego SDH

A Figura 7 representa um ADM STM-1 típico. As placas físicas envolvidas no processamento dos sinais são a placa tributária, a placa de switch e a placa de linha STM-1. Cada placa é mostrada com os processos apropriados que ocorrem nessa placa. Os processos para ambas as direções também são mostrados. Fora das caixas está uma lista de alarmes típicos associados ao processo ao qual cada alarme se refere.



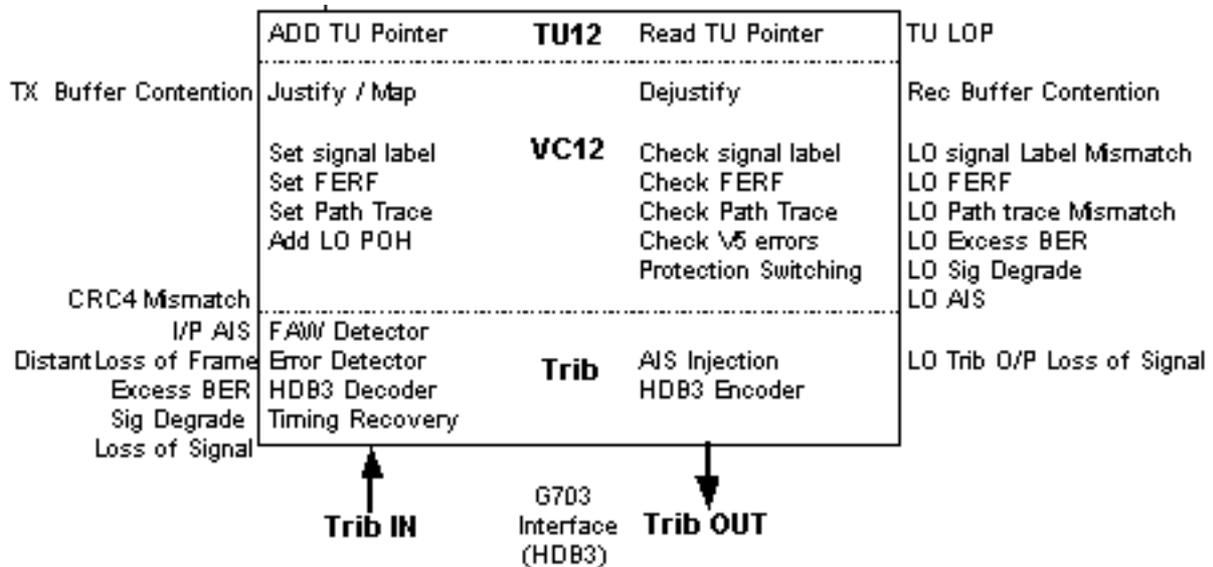


Fig 7 Typical SDH Signal processes and Alarms (repeated)

Se o sinal de entrada tributário não estiver presente, um alarme de LOS será acionado e um AIS será injetado para substituir o sinal ausente. O sinal de entrada tributário é examinado para detectar erros de código HDB-3. Os alarmes podem ser aumentados se o EBER exceder limiares pré-configurados.

Um alarme SD é ativado em 1.10-6, e um EBER é elevado em 1.10-3. O sinal de entrada tributário de 2 Mbit/s é usado para bloquear um circuito de recuperação de tempo de loop bloqueado de fase. Esse relógio recuperado é usado para fazer o clock dos dados em um buffer de transmissão. O sinal é então decodificado HDB-3. A porta de entrada em alguns equipamentos pode ser configurada para examinar a estrutura do quadro G704 (30chan PCM) do sinal de entrada tributário e levantar alarmes conforme apropriado. Esses alarmes são os seguintes:

- **LOF:** o FAW não foi encontrado.
- **AIS I/P:** o sinal de entrada tributário consiste em todos os 1s.
- **Distante:** um alarme é acionado no anexo na direção de recebimento.
- **Incompatibilidade de Cyclic Redundancy Check-4 (CRC-4):** um dispositivo de verificação de erros para verificar a integridade da estrutura do G704.

Os dados tributários são mapeados em um contêiner Classe 12 (C12) e os POHs são adicionados para formar um VC-12. Os bits VC-12 OH são definidos corretamente da seguinte forma:

- A mensagem de rastreamento de caminho pode ser definida pelo operador se esse recurso for necessário.

O SL (Signal Label - Rótulo de Sinal) é definido para descrever o conteúdo do VC-12, da seguinte forma:

- As entradas G703 normalmente serão definidas como assíncronas ou não específicas equipadas.
- As portas G704 (estruturadas) serão definidas como sincronizadas de bytes.
- As portas não utilizadas serão definidas automaticamente como desequipadas.
- Se houver um alarme associado ao lado de recebimento da TU, uma FERF será definida no caminho OH.

À medida que o sinal tributário é lido do buffer de transmissão, um ponteiro TU é adicionado para formar um TU-12. Se o buffer preencher ou esvaziar além dos limites predefinidos, um alarme de

contenção de buffer de transmissão será ativado.

A TU-12 agora está conectada em cruz na placa do switch a um slot de tempo na placa de linha STM-1 e multiplexada na carga VC-4. Os bytes de POH VC-4 são definidos da seguinte maneira:

- O byte SLI (C2) é definido para descrever a estrutura do VC-4.
- O byte de ID de multiquadro (H4) é definido para descrever a posição do VC-4 na sequência de quatro quadros múltiplos.

Uma mensagem de rastreamento de caminho pode ser definida pelo operador no byte J1 se esse recurso for necessário. O byte B3 é definido para produzir paridade par em todas as sequências BIP-8 no VC-4 do quadro anterior. Se um alarme for disparado no nível VC-4 na direção de recebimento, uma FERF é enviada para a extremidade oposta no byte G1.

Um ponteiro é adicionado ao VC-4 para formar um AU-4. Os MSOHs são adicionados e definidos da seguinte forma:

- Os bytes B2 são definidos para produzir paridade par em todas as sequências BIP-24 no quadro STM-1 anterior, menos seu RSOH. O SSMB é definido para o status da fonte usada atualmente. Os bytes K1 e K2 são definidos para enviar um MS-FERF para a extremidade distante, se apropriado, e iniciam Multiprotocol sobre o Servidor (MPS)/APS do Modo de Transferência Assíncrona (ATM - Asynchronous Transfer Mode) quando usados.

Os RSOHs são adicionados e definidos da seguinte forma:

- O byte B1 é definido para produzir paridade par em todas as sequências BIP-8 em todo o quadro STM-1 anterior. O FAW é adicionado.

Agora temos um quadro STM-1. No entanto, se enviássemos este sinal para a linha desta forma, haveria uma forte possibilidade de que contivesse sequências longas de 1s binários e/ou 0s binários, ou seja, nenhuma transição de sinal. Isso significaria que os circuitos de extração de temporização (loops de bloqueio de fase) no equipamento de downstream não seriam capazes de recuperar o tempo do sinal.

Anteriormente, os sinais de linha eram codificados em um código de linha proprietário. Isso significava que ambas as extremidades do sistema tinham que ser fornecidas pelo mesmo fabricante. Com o SDH, não usamos mais esses códigos de linha, mas o sinal (menos o FAW) está embaralhado. Isso significa que um padrão complexo acordado internacionalmente (algoritmo de embaralhamento) é sobreposto ao sinal de tráfego. Isso garante que sempre haverá transições suficientes no sinal para garantir um componente de temporização utilizável independente dos padrões de bit de tráfego. O padrão é removido por um descriptador na outra extremidade do RS.

O próximo estágio é adaptar o sinal à interface física, geralmente chamada de Network Node Interface (NNI). Se a placa tiver uma interface elétrica, o sinal STM-1 é codificado na Cisco Messaging Interface (CMI). Se a interface for óptica, o sinal STM-1 é usado para modular um laser (ligue e desligue-o de acordo com os dados binários 1s e 0s).

Os parâmetros do laser são monitorados e os alarmes aumentados se os limites forem excedidos. Os alarmes geralmente incluem o seguinte:

- Laser de alta potência: a potência de saída óptica aumentou (geralmente de 1 a 3 dBm).
- Baixo consumo de energia do laser: a potência de saída óptica diminuiu (geralmente de 1 a 3 dBm).

- Tendenciosidade do laser alta: geralmente uma indicação de que o laser está próximo do fim de sua vida útil.

Direção de recepção

O sinal de entrada pode ser óptico ou elétrico. Se for uma interface ótica, o sinal ótico é convertido em elétrico por meio de um detector ótico. Se a potência óptica cair para um nível pré-determinado (geralmente em torno de -35 dBm), um alarme de LOS será acionado.

O sinal STM-1 elétrico é aplicado a um dispositivo de recuperação de temporização de loop bloqueado de fase para extrair um relógio, que será usado para cronometrar o resto do processamento para essa direção de transmissão (que geralmente pode ser disponibilizada em um conector externo para outras aplicações de temporização de rede.)

Se um relógio não puder ser extraído, um alarme LRC (Perda de Relógio de Recepção) será acionado. Isso também é conhecido como Perda de Relógio Recuperado. Se o NNI for elétrico, o sinal CMI STM-1 é usado para bloquear o circuito de recuperação de temporização. Se um relógio não puder ser extraído, um alarme de LRC será ativado. O sinal CMI é então decodificado.

O ADM está agora olhando para um fluxo de dados seriais anônimos que realmente representa um fluxo de quadros STM-1. O ADM deve, portanto, encontrar os FAWs nesses dados seriais. Se ele não conseguir encontrá-los, um alarme LOF será acionado. Depois de encontrar as FAWs, o restante do sinal é descriptado. O ADM agora sabe a localização de todos os bytes OH. No RSOH, o byte B1 pode ser examinado para medir o desempenho de erro do RS que está terminando. Alarmes de limite de erro também podem ser fornecidos em alguns equipamentos.

Examinando o MSOH

A próxima etapa é examinar o MSOH. Se os bytes de overhead contiverem todos os 1s binários, um alarme MS-AIS será ativado. Examinam-se os bytes K1 e K2 e, se necessário, sobe um alarme FERF, indicando a presença de um alarme ativo na extremidade distante do MS. A comutação do Protocolo de Comutação Multiplexado (MSP - Multiplized Switch Protocol) e/ou a Comutação de Proteção Automática (APS - Automatic Protection Switching) seriam iniciadas neste ponto em resposta às configurações de K1/K2 se fossem implementadas, o que não são atualmente.

O SSMB S1 é examinado. Se o nível de qualidade for inferior ao nível pré-configurado necessário, o ADM mudará para a próxima origem de prioridade e um alarme de incompatibilidade de SSMB será ativado. O SSMB não é implementado em todos os equipamentos SDH. Os bytes B2 são examinados em associação com o quadro anterior. Se a verificação BIP-24 mostrar violações de paridade, os alarmes serão gerados. Uma taxa de erro de $1 \cdot 10^{-6}$ ativará um alarme SD. Uma taxa de erro de 10^{-3} aumentará um alarme EBER. Esses limiares geralmente são configuráveis, mas são valores muito típicos. O próximo processo é identificar e ler o ponteiro do AU. Se o ADM não conseguir entender o valor do ponteiro, um alarme AU-LOP será ativado. Se o ponteiro contiver apenas 1s binários, um alarme AU-AIS será ativado.

Depois de identificar e ler o ponteiro da UA, o POH VC-4 agora pode ser examinado. O byte L2 é comparado com a estrutura real encontrada no VC-4. Se isso não corresponder à estrutura descrita no byte C2, um alarme de Incompatibilidade de Rótulo de Sinal (SLM) será ativado. A Siemens descreve isso como um alarme WSL (Wrong Signal Label, Rótulo de sinal errado). O processo de comparação é automático nos equipamentos Guam-Filipinas-Taiwan (GPT) e

Siemens. Nos equipamentos Marconi e Ericson, o valor C2 esperado é configurado manualmente.

O byte de sequência multiframe (1234) H4 é examinado. Se a sequência for violada, uma perda de alarme de multiframe TU será despertada.

O byte G1 é examinado e um alarme de FERF de caminho HO é ativado, se necessário, indicando a presença de um alarme ativo na extremidade distante ou no caminho VC-4.

O byte J1 é examinado. Se o recurso de rastreamento de caminho tiver sido ativado, a mensagem na sequência de bytes J1 será comparada com o valor pré-configurado esperado. Se eles forem diferentes, um alarme de incompatibilidade de rastreamento de caminho HO será ativado.

O byte B3 é examinado em associação com o quadro anterior. Se a verificação do BIP-8 mostrar violações de paridade, serão exibidos alarmes SD (10-6) ou EBER (10-3).

Se os bytes de POH consistem em todos os 1s binários, o alarme de AIS do caminho HO é ativado.

O VC-4 agora está desmultiplexado.

Examinando a TU-12

A TU-12 também deve ser examinada. Se não for possível encontrar um ponteiro TU-12 sensato, um alarme TU-LOP será ativado. Se o ponteiro consistir em todos os 1s binários, um alarme TU-AIS será acionado.

O byte V5 VC-12 POH é examinado em associação com o quadro anterior. Se a verificação de BIP-2 mostrar violações de paridade, serão exibidos alarmes SD (10-6) ou EBER (10-3).

A TU-12 agora está conectada em cruz pela placa de switch a uma porta tributária na placa tributária. À medida que a TU chega à placa tributária, o ponteiro é reexaminado. Se não for possível localizar um ponteiro sensível, um alarme TU-LOP será ativado.

Examinando o VC-12

Os bytes de overhead de caminho VC-12 também são examinados.

Se o recurso de rastreamento de caminho tiver sido ativado, a mensagem na sequência de rastreamento de caminho será comparada com o valor esperado pré-configurado. Se eles forem diferentes, um alarme de incompatibilidade de rastreamento de caminho LO será ativado.

O SL é comparado com a estrutura real encontrada no VC-12. Se isso não corresponder à estrutura descrita nos bits SL da V5, um alarme do LO SLM será acionado.

O bit de FERF no byte V5 é examinado e um alarme de FERF do caminho LO é acionado, se necessário, indicando a presença de um alarme ativo na extremidade distante do caminho VC-12.

Os bits BIP-2 do byte V5 são examinados. Se a verificação BIP-8 mostrar violações de paridade, os alarmes do caminho LO SD (10-6) ou EBER (10-3) serão exibidos.

Se os bits de POH consistirem em apenas 1s, um alarme AIS de caminho mais baixo será

ativado.

Os dados são sincronizados em um buffer de recebimento, onde são desjustificados.

Se o buffer preencher ou esvaziar além dos limites predeterminados, um alarme de contenção de buffer de recebimento será ativado. O sinal é bloqueado para fora do buffer exatamente na taxa em que entrou na extremidade distante do circuito. Uma falha do sinal de saída levantará um alarme de saída tributária LOS.

Alarmes de rede

Agora que conhecemos e compreendemos completamente os alarmes associados a um ADM típico, podemos considerar quais alarmes você pode esperar ver em praticamente qualquer tipo de SDH NE, em qualquer lugar na rede. Isso porque todos estão executando funções semelhantes da mesma maneira em cada nível na hierarquia SDH. Por exemplo, todos os processos e alarmes mencionados neste documento se aplicam a conexões cruzadas síncronas (XCs) com as portas tributárias STM-1 e LO de 2 Mbit/s. Há outros processos e alarmes envolvidos, como seria de esperar, mas este documento abrange apenas os conceitos básicos.

A Figura 8 mostra uma rede SDH hipotética com conectividade semelhante à de um tronco GMP-2 em um concerto.

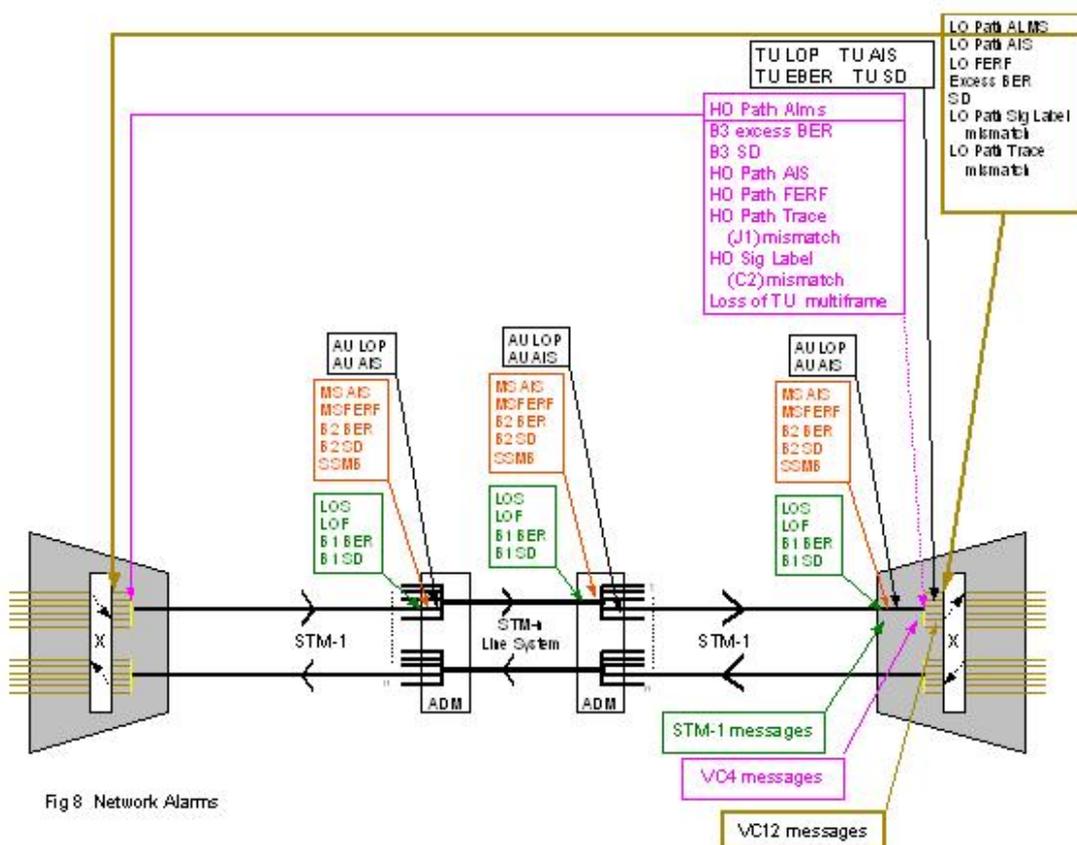


Fig 8 Network Alarms

Respostas

Pergunta 1

Uma falha em uma placa tributária no STM-1 Mux A introduz erros em um único VC-12. Verifique onde os erros serão indicados ao operador da rede.

Resposta: F

Pergunta 2

Uma falha está corrompendo o VC-4. Esses erros geralmente seriam descritos como erros B3. Verifique onde os erros serão indicados ao operador da rede.

Resposta: F

Pergunta 3

O STM-n MUX (LTE) em B está indicando erros B1 em uma entrada tributária. A falha deve estar entre A e B.

Pergunta 4

Verifique outros locais onde você acha que erros de B1 serão indicados para essa falha.

Resposta: Nenhum - Os erros de B1 estão limitados ao RS individual.

Pergunta 5

Quantos sinais 2 M serão afetados?

Resposta: Todos

Pergunta 6

A combinação STM-n em E está indicando erros B2 no sinal óptico de B. A falha deve estar entre B e E.

Pergunta 7

Haveria uma indicação de erro B2 em F?

Resposta: Não. Os erros B2 limitam-se aos Estados-Membros individuais.

Pergunta 8

Haveria indicação de erro B3 em F?

Resposta: Yes. O payload deve ser afetado se o módulo de transporte estiver corrompido.

Informações Relacionadas

- [Página de suporte à tecnologia óptica](#)
- [Suporte Técnico - Cisco Systems](#)