

Entendendo e ajustando o valor de tx-ring-limit

Contents

[Introduction](#)

[Prerequisites](#)

[Requirements](#)

[Componentes Utilizados](#)

[Conventions](#)

[Entendendo as partículas](#)

[Entendendo anéis de buffer](#)

[Visão geral da arquitetura de PA-A3](#)

[Esquema de alocação do anel de transmissão no PA-A3](#)

[Exibindo os valores do anel de transmissão atual](#)

[Quando o anel de transmissão deve ser ajustado?](#)

[Impacto de valores de tx-ring-limit muito pequenos](#)

[Problemas conhecidos](#)

[Ajustando o valor limite de toque TX nos roteadores 3600 e 2600](#)

[Informações Relacionadas](#)

Introduction

Este documento discute a função de um anel de transmissão de hardware e a finalidade do comando tx-ring-limit em um hardware da interface do roteador ATM que suporta encapsulamento por Circuito Virtual (VC).

As interfaces do roteador Cisco configuradas com políticas de serviço armazenam pacotes de um VC ATM em um dos dois conjuntos de filas, de acordo com o nível de congestionamento do VC:

Fila	Local	Métodos de enfileiramento	Políticas de serviço se aplicam	Comando para ajuste
Fila de hardware ou anel de transmissão	Adaptador de porta ou módulo de rede	somente FIFO	No	tx-ring-limit
Fila da camada 3	Sistema de processador de camada 3	N/A	Yes	Varia com o método de enfileiramen

	ou buffers de interface			to: - vc-hold-queue - queue-limit
--	-------------------------	--	--	-----------------------------------

Prerequisites

Requirements

Não existem requisitos específicos para este documento.

Componentes Utilizados

Este documento não se restringe a versões de software e hardware específicas.

Conventions

Consulte as [Convenções de Dicas Técnicas da Cisco para obter mais informações sobre convenções de documentos.](#)

Entendendo as partículas

Antes de discutir o anel de transmissão, primeiro precisamos entender o que é uma partícula. Uma partícula forma o bloco básico de armazenamento em buffer de pacotes em várias plataformas, incluindo a série de roteadores Cisco 7200 e o versátil processador de interface (VIP) na série de roteadores Cisco 7500.

Dependendo do comprimento do pacote, o software Cisco IOS® usa uma ou mais partículas para armazenar um pacote. Vamos ver um exemplo. Ao receber um pacote de 1200 bytes, o IOS recupera a próxima partícula livre e copia os dados do pacote para a partícula. Quando a primeira partícula é preenchida, o IOS move-se para a próxima partícula livre, vincula-a à primeira partícula e continua a copiar os dados nessa segunda partícula. Após a conclusão, os 1200 bytes do pacote são armazenados em três pedaços de memória não contíguos que o IOS faz logicamente parte de um único pacote buffers.

O tamanho das partículas do IOS varia de plataforma para plataforma. Todas as partículas dentro de um determinado pool têm o mesmo tamanho. Esta uniformidade simplifica os algoritmos de gerenciamento de partícula e ajuda a contribuir para o uso eficiente da memória.

Entendendo anéis de buffer

Juntamente com conjuntos de interfaces públicas e privadas, o Cisco IOS cria estruturas especiais de controle de buffer chamadas de anéis. O Cisco IOS e os controladores de interface usam esses anéis para controlar quais buffers são usados para receber e transmitir pacotes para a mídia. Os próprios anéis consistem em elementos específicos do controlador de mídia que apontam para buffers de pacotes individuais em outro lugar na memória de E/S.

Cada interface tem um par de anéis um de recepção para receber pacotes e outro de transmissão para transmitir pacotes. O tamanho dos anéis pode variar com o controlador da

interface. Em geral, o tamanho do anel de transmissão é baseado na largura de banda da interface ou VC e é uma potência de dois (ID de bug Cisco CSCdk17210).

Interface	Anéis					
Taxa de linha (Mb/s) <	2	10	20	30	40	...
txcount	2	4	8	16	32	64

Observação: na plataforma da série 7200, os buffers do pacote do anel de transmissão vêm do anel de recepção da interface de origem para um pacote comutado ou de um pool público se o pacote tiver sido originado pelo IOS. Eles são desalocados do anel de transmissão e retornados ao conjunto original depois que os dados de virulência são transmitidos.

Visão geral da arquitetura de PA-A3

Para garantir um alto desempenho de encaminhamento, o adaptador de porta PA-A3 usa chips SAR (Segmentation and Reassembly, segmentação e remontagem) separados para recepção e transmissão. Cada SAR é suportado por seu próprio subsistema de memória onboard para armazenar pacotes e estruturas de dados importantes como a tabela VC. Essa memória inclui especificamente 4 MB de SDRAM, que é dividida em partículas.

A tabela a seguir ilustra o número e o tamanho das partículas nos caminhos de recepção e de transmissão no PA-A3.

ANEL	Tamanho da partícula	Número de Partículas
anel de recebimento	288 bytes	n/a
Anel de transmissão	576* bytes	6000 (144 partículas estão reservadas)

* O tamanho das partículas dos anéis de transmissão também é descrito como sendo de 580 bytes. Esse valor inclui o principal cabeçalho de ATM de 4 bytes que é transmitido com o pacote dentro do roteador.

Os tamanhos na tabela acima foram selecionados porque são divisíveis por 48 (o tamanho do campo de payload de uma célula) e pelo tamanho da linha de cache (32 bytes) para desempenho máximo. Eles são projetados para impedir que o SAR introduza um atraso entre buffers quando um pacote exige vários buffers. O tamanho da partícula de transmissão de 576 bytes também foi selecionado para cobrir cerca de 90% dos pacotes de Internet.

Esquema de alocação do anel de transmissão no PA-A3

O driver PA-A3 atribui um valor de anel de transmissão padrão a cada VC. Esse valor varia com a categoria de serviço ATM atribuída ao VC. A tabela a seguir lista os valores padrão.

Categoria	Valor Padrão do Anel de Transmissão	Valor de Toque de Transmissão	Valor padrão do anel de transmissão	Tempo de reforço
-----------	-------------------------------------	-------------------------------	-------------------------------------	------------------

de serviço de VC	PA-A3-OC3, T3, E3	Padrão de PA-A3-IMA	PA-A3-OC12	
vbr- nrt	Com base na fórmula**: $(48 \times \text{SCR}) / (\text{Particle_size} \times 5)$ O valor mínimo é 40 e substitui qualquer valor calculado menor que 40 com um SCR muito baixo. Note: SCR é a taxa de célula com carga adicional de ATM incluída.	Com base na fórmula: $(48 \times \text{SCR}) / (\text{Particle_size} \times 5)$ O valor mínimo é 40 e substitui qualquer valor calculado menor que 40 com um SCR muito baixo. Note: SCR é a taxa de célula com carga adicional de ATM incluída.	Com base na seguinte fórmula: Taxa média (SCR) * 2 * TOTAL_CREDITS / VISIBLE_BANDWIDTH TOTAL_CREDITS = 8192 VISIBLE_BANDWIDTH = 599040 Nota: Se esta fórmula calcular um valor que é menor que o padrão de 128, o limite do anel de transmissão do VC é definido como 128.	Sempre
ABR	128	128	N/A	Sempre*
UBR	40	128	128	Apenas quando a utilização total de crédito excede 75% ou o valor de tx_threshold, como mostrado no comando

				do show controll er atm.
--	--	--	--	-----------------------------------

* Originalmente, o PA-A3-OC12 não implementou o limite sempre ativo de PVCs VBR-nrt para o valor atual do anel de transmissão. A ID de bug CSCdx11084 resolve esse problema. .

** SCR deve ser expresso em células/seg.

Exibindo os valores do anel de transmissão atual

Originalmente, o valor do anel de transmissão somente era visível via um comando oculto. O comando **show atm vc {vcd}** agora exhibe o valor atual.

Você também pode usar o comando **debug atm events** para exibir as mensagens de configuração do VC entre o driver PA-A3 e a CPU do host. Os seguintes conjuntos de saída foram capturados em um PA-A3 em um 7200 Series Router. O valor do anel de transmissão é exibido como o valor **tx_limit**, que implementa a cota de buffer de partícula alocada para um VC específico na direção de transmissão.

O PVC 1/100 está configurado como VBR-nrt. Com base em um SCR de 3500 kbps, o PA-A3 atribui um **tx_limit** de 137. Para ver como esse cálculo é realizado, precisamos converter um SCR de 3500 kbps em células/seg. Observe que $(3.500.000 \text{ bits/s}) * (1 \text{ byte} / 8 \text{ bits}) * (1 \text{ célula} / 53 \text{ bytes}) = (3, 500, 000 \text{ células}) / (8 * 53 \text{ seg}) = 8.254 \text{ células} / \text{seg}$. Quando temos o valor SCR em células/seg, podemos aplicar a fórmula acima para obter o **tx_limit = 137**.

```
7200-17(config)#interface atm 4/0
  7200-17(config-if)#pvc 1/100
7200-17(config-if-atm-vc)#vbr-nrt 4000 3500 94
7200-17(config-if-atm-vc)#
*Oct 14 17:56:06.886: Reserved bw for 1/100 Available bw = 141500
7200-17(config-if-atm-vc)#exit
7200-17(config-if)#logging
*Oct 14 17:56:16.370: atmdx_setup_vc(ATM4/0): vc:6 vpi:1 vci:100 state:2 config_status:0
*Oct 14 17:56:16.370: atmdx_setup_cos(ATM4/0): vc:6 wred_name:- max_q:0
*Oct 14 17:56:16.370: atmdx_pas_vc_setup(ATM4/0): vcd 6, atm_hdr 0x00100640, mtu 4482
*Oct 14 17:56:16.370: VBR: pcr 9433, scr 8254, mbs 94
*Oct 14 17:56:16.370:   vc tx_limit=137, rx_limit=47
*Oct 14 17:56:16.374: Created 64-bit VC count
```

O PVC 1/101 está configurado como ABR. O PA-A3 atribui o valor padrão ABR **tx_limit** de 128. (Consulte a tabela [acima](#).)

```
7200-17(config-if)#pvc 1/102
7200-17(config-if-atm-vc)#abr ?
  <1-155000>      Peak Cell Rate(PCR) in Kbps
  rate-factors   Specify rate increase and rate decrease factors (inverse)
7200-17(config-if-atm-vc)#abr 4000 1000
7200-17(config-if-atm-vc)#
*Oct 14 17:57:45.066: Reserved bw for 1/102 Available bw = 140500
*Oct 14 18:00:11.662: atmdx_setup_vc(ATM4/0): vc:8 vpi:1 vci:102 state:2 config_status:0
*Oct 14 18:00:11.662: atmdx_setup_cos(ATM4/0): vc:8 wred_name:- max_q:0
*Oct 14 18:00:11.662: atmdx_pas_vc_setup(ATM4/0): vcd 8, atm_hdr 0x00100660, mtu 4482
*Oct 14 18:00:11.662: ABR: pcr 9433, mcr 2358, icr 9433
```

```
*Oct 14 18:00:11.662:  vc tx_limit=128, rx_limit=47
*Oct 14 18:00:11.666:  Created 64-bit VC counters
```

O PVC 1/102 está configurado como UBR. O PA-A3 atribui o valor UBR tx_limit padrão de 40. (Consulte a [tabela](#) acima.)

```
7200-17(config-if)#pvc 1/101
7200-17(config-if-atm-vc)#ubr 10000
7200-17(config-if-atm-vc)#
*Oct 14 17:56:49.466:  Reserved bw for 1/101 Available bw = 141500
*Oct 14 17:57:03.734:  atmdx_setup_vc(ATM4/0): vc:7 vpi:1 vci:101 state:2 config_status:0
*Oct 14 17:57:03.734:  atmdx_setup_cos(ATM4/0): vc:7 wred_name:- max_q:0
*Oct 14 17:57:03.734:  atmdx_pas_vc_setup(ATM4/0): vcd 7, atm_hdr 0x00100650, mtu 4482
*Oct 14 17:57:03.734:  UBR: pcr 23584
*Oct 14 17:57:03.734:  vc tx_limit=40, rx_limit=117
*Oct 14 17:57:03.738:  Created 64-bit VC counters
```

A finalidade do tx_limit é implementar um esquema de alocação de memória ou crédito de transmissão por VC que impeça qualquer VC com excesso de assinaturas de capturar todos os recursos de buffer de pacotes e impedir que outros VCs transmitam tráfego normal em seus contratos de tráfego.

O PA-A3 implementa uma verificação de crédito de memória sob duas condições:

- Cota individual em cada VC VBR-nrt e ABR - Compara os valores tx_count e tx_limit de cada VC. Descarta pacotes subsequentes quando tx_count é maior que tx_limit em qualquer VC. É importante observar que um burst de pacotes pode exceder o anel de transmissão de um VC VBR-nrt em um instante e levar a quedas de saída.
- Quota geral - Considera o valor tx_threshold. O PA-A3 permite explosões maiores em VCs UBR, aplicando a vigilância de tráfego em tais VCs somente quando o uso total do buffer de pacotes no PA-A3 atinge esse limite predefinido.

Observação: se um pacote exigir várias partículas e o anel de transmissão estiver cheio, o PA-A3 permitirá que um VC exceda sua cota se houver partículas disponíveis. Esse esquema é desenvolvido para acomodar um pequeno burst de pacotes sem quedas de saída.

O comando **show controller atm** exibe vários contadores relevantes para transmitir créditos.

```
7200-17#show controller atm 4/0
  Interface ATM4/0 is up
  Hardware is ENHANCED ATM PA - OC3 (155000Kbps)
  Framer is PMC PM5346 S/UNI-155-LITE, SAR is LSI ATMIZER II
  Firmware rev: G125, Framer rev: 0, ATMIZER II rev: 3
    idb=0x622105EC, ds=0x62217DE0, vc=0x62246A00
    slot 4, unit 9, subunit 0, fci_type 0x0059, ticks 190386
    1200 rx buffers: size=512, encap=64, trailer=28, magic=4
  Curr Stats:
    VCC count: current=7, peak=7
    SAR crashes: Rx SAR=0, Tx SAR=0
    rx_cell_lost=0, rx_no_buffer=0, rx_crc_10=0
    rx_cell_len=0, rx_no_vcd=0, rx_cell_throttle=0, tx_aci_err=0
  Rx Free Ring status:
    base=0x3E26E040, size=2048, write=176
  Rx Compl Ring status:
    base=0x7B162E60, size=2048, read=1200
  Tx Ring status:
    base=0x3E713540, size=8192, write=2157
  Tx Compl Ring status:
```

```

base=0x4B166EA0, size=4096, read=1078
BFD Cache status:
base=0x62240980, size=6144, read=6142
Rx Cache status:
base=0x62237E80, size=16, write=0
Tx Shadow status:
base=0x62238900, size=8192, read=2143, write=2157
Control data:
rx_max_spins=3, max_tx_count=17, tx_count=14
rx_threshold=800, rx_count=0, tx_threshold=4608
tx_bfd_write_idx=0x4, rx_pool_info=0x62237F20

```

A tabela a seguir descreve os valores usados pelo PA-A3 para aplicar o esquema geral de crédito de transmissão:

Valor	Descrição
max_tx_count	Histograma do número máximo de partículas de transmissão já mantidas pelo microcódigo PA-A3.
tx_count	O número total de partículas de transmissão retidas no momento pelo microcódigo de PA-A3. Observação: o microcódigo PA-A3 também rastreia o tx_count de cada VC. Quando uma partícula é enviada ao microcódigo PA-A3 do driver PA-A3, a contagem tx é incrementada em um.
tx_threshold	Quando a quantidade total de buffers de pacote livre cai abaixo desse limite, o PA-A3 impõe o crédito de transmissão em VCs UBR. Observe que o PA-A3 sempre aplica os créditos de transmissão de VCs VBR e ABR.

Quando o anel de transmissão deve ser ajustado?

O anel de transmissão serve como uma área de preparação para os pacotes na linha a serem transmitidos. O roteador precisa enfileirar um número suficiente de pacotes no anel de transmissão e garantir que o driver de interface possui pacotes com os quais possa preencher timeslots de células disponíveis.

Originalmente, o driver PA-A3 não ajustou o tamanho do anel de transmissão quando uma política de serviço com LLQ (Enfileiramento de baixa latência) foi aplicada. Com as imagens atuais, o PA-A3 ajusta os valores dos padrões acima (ID de erro Cisco CSCds63407) para minimizar o atraso relacionado ao enfileiramento.

O principal motivo para ajustar o anel de transmissão é reduzir a latência causada pelo enfileiramento. Ao ajustar o anel de transmissão, considere o seguinte:

- Em qualquer interface de rede, o enfileiramento força uma opção entre a latência e a quantidade de intermitência que a interface pode sustentar. Tamanhos de fila maiores sustentam picos maiores enquanto aumentam o atraso. Ajuste o tamanho de uma fila quando você sentir que o tráfego do VC está passando por um atraso desnecessário.
- Considere o tamanho do pacote. Configure um valor de tx-ring-limit que acomode quatro

pacotes. Por exemplo, se os seus pacotes forem de 1500 bytes, defina um valor de tx-ring-limit de $16 = (4 \text{ pacotes}) * (4 \text{ partículas})$.

- Verifique se o crédito de transmissão é suficientemente grande para suportar um pacote do tamanho do MTU e/ou se o número de células é igual ao tamanho máximo de intermitência (MBS) para um PVC VBR-nrt.
- Configure um valor baixo com VCs de banda curta, como um SCR de 128 kbps. Por exemplo, em um VC de baixa velocidade com SCR de 160 kbps, um tx-ring-limit de dez é relativamente alto e pode levar a latência significativa (por exemplo, centenas de milissegundos) na fila de nível de driver. Ajuste o tx-ring-limit para seu valor mínimo nesta configuração.
- Configure valores mais altos para VCs de alta velocidade. A seleção de um valor menor que quatro pode impedir o VC de transmitir à sua taxa configurada se o PA-A3 implementar pressão de retorno muito agressivamente e o anel de transmissão não tiver um suprimento pronto de pacotes esperando para ser transmitido. Certifique-se de que um valor baixo não afete o rendimento do VC. (Consulte Cisco Bug ID CSCdk17210.)

Em outras palavras, o tamanho do anel de transmissão precisa ser pequeno o suficiente para evitar a introdução de latência devido ao enfileiramento e precisa ser grande o suficiente para evitar quedas e um impacto resultante nos fluxos baseados em TCP.

Primeiramente, uma interface remove os pacotes do sistema de enfileiramento de Camada 3 e, em seguida, os enfileira no anel de transmissão. As políticas de serviço se aplicam apenas a pacotes nas filas de camada 3 e são transparentes ao anel de transmissão.

O enfileiramento em anéis de transmissão introduz um retardo de serialização que é diretamente proporcional à profundidade do anel. Um atraso de serialização excessivo pode afetar os orçamentos de latência para aplicativos sensíveis ao atraso, como voz. Portanto, a Cisco recomenda a redução do tamanho do anel de transmissão para VCs que transmitem voz. Selecione um valor com base na quantidade de atraso de serialização, expresso em segundos, introduzido pelo anel de transmissão. Use a seguinte fórmula:

$$((P*8) * D) / S$$

P = Packet size in bytes. Multiply by eight to convert to bits.

D = Transmit-ring depth.

S = Speed of the VC in bps.

Observação: os pacotes IP na Internet são normalmente de um dos três tamanhos: 64 bytes (por exemplo, mensagens de controle), 1500 bytes (por exemplo, transferências de arquivos) ou 256 bytes (todo o tráfego restante). Esses valores produzem um tamanho total de pacote típico da Internet de 250 bytes.

Observação: a tabela a seguir resume as vantagens e desvantagens dos tamanhos maiores ou menores de anel de transmissão:

Tamanho do anel de transmissão	Vantagem	Desvantagem
Alto	Recomendado	Não recomendado para VCs de

valor	para VCs de dados a fim de acomodar bursts.	voz. Pode apresentar maior latência e jitter.
Valor baixo	Recomendado para VCs de voz, para reduzir o retardo devido ao enfileiramento e tremulação.	Não recomendado para VCs de velocidade relativamente alta. Pode apresentar um throughput reduzido se ajustado com um valor tão baixo que nenhum pacote esteja pronto para ser enviado quando o cabo estiver livre.

Use o comando `tx-ring-limit` no modo de configuração VC para ajustar o tamanho do anel de transmissão.

```
7200-1(config-subif)#pvc 2/2
 7200-1(config-if-atm-vc)#?
 ATM virtual circuit configuration commands:
abr                Enter Available Bit Rate (pcr)(mcr)
broadcast          Pseudo-broadcast
class-vc           Configure default vc-class name
default            Set a command to its defaults
encapsulation      Select ATM Encapsulation for VC
exit-vc            Exit from ATM VC configuration mode
ilmi               Configure ILMI management
inarp              Change the inverse arp timer on the PVC
no                 Negate a command or set its defaults
oam                Configure oam parameters
oam-pvc            Send oam cells on this pvc
protocol           Map an upper layer protocol to this connection.
random-detect      Configure WRED
service-policy     Attach a policy-map to a VC
transmit-priority  set the transmit priority for this VC
tx-ring-limit    Configure PA level transmit ring limit
ubr                Enter Unspecified Peak Cell Rate (pcr) in Kbps.
vbr-nrt            Enter Variable Bit Rate (pcr)(scr)(bcs)
7200-1(config-if-atm-vc)#tx-ring-limit ?
 <3-6000>  Number (ring limit)
 <cr>
```

Use o comando `show atm vc` para exibir o valor atualmente configurado.

```
7200-1#show atm vc
VC 3 doesn't exist on interface ATM3/0
ATM5/0.2: VCD: 3, VPI: 2, VCI: 2
VBR-NRT, PeakRate: 30000, Average Rate: 20000, Burst Cells: 94
AAL5-LLC/SNAP, etype:0x0, Flags: 0x20, VCmode: 0x0
OAM frequency: 0 second(s)
PA TxRingLimit: 10
InARP frequency: 15 minutes(s)
Transmit priority 2
InPkts: 0, OutPkts: 0, InBytes: 0, OutBytes: 0
InPRoc: 0, OutPRoc: 0
InFast: 0, OutFast: 0, InAS: 0, OutAS: 0
InPktDrops: 0, OutPktDrops: 0
CrcErrors: 0, SarTimeOuts: 0, OverSizedSDUs: 0
OAM cells received: 0
```

OAM cells sent: 0
Status: UP

Além disso, use o comando `show atm pvc vpi/vci` para exibir os limites atuais de transmissão e recepção de anel. A saída a seguir foi capturada em um 7200 Series Router executando o Cisco IOS Software Release 12.2(10).

```
viking#show atm pvc 1/101
  ATM6/0: VCD: 2, VPI: 1, VCI: 101
UBR, PeakRate: 149760
AAL5-LLC/SNAP, etype:0x0, Flags: 0xC20, VCmode: 0x0
OAM frequency: 0 second(s), OAM retry frequency: 1 second(s), OAM retry
frequency: 1 second(s)
OAM up retry count: 3, OAM down retry count: 5
OAM Loopback status: OAM Disabled
OAM VC state: Not Managed
ILMI VC state: Not Managed
VC TxRingLimit: 40 particles
VC Rx Limit: 800 particles
```

Impacto de valores de tx-ring-limit muito pequenos

No caminho de transmissão, a CPU do host transfere o payload dos buffers do host para os buffers de partículas locais no PA-A3. O firmware em execução no PA-A3 armazena em cache vários descritores de buffer e libera-os em um grupo. Durante o período de cache, o PA-A3 não aceita novos pacotes, embora o conteúdo da memória local tenha sido transmitido no fio físico. O objetivo deste esquema é otimizar o desempenho geral. Portanto, quando a configuração de um valor de tx-ring-limit não for padrão, considere o retardo de retorno do descritor do buffer.

Além disso, se você configurar o valor de um para o tx-ring-limit com um dado tamanho de partícula de 576 bytes, um pacote de 1.500 bytes é removido da fila, como a seguir:

1. O driver PA-A3 coloca em fila a primeira partícula do anel de transmissão e lembra que esse pacote está armazenado em duas outras partículas de memória.
2. Na próxima vez que anel de transmissão estiver vazio, a segunda parte do pacote será colocada no anel de transmissão.
3. Na próxima vez em que o anel de transmissão fica vazio, a terceira partícula é colocada nele.

Embora o anel de transmissão consista em apenas uma partícula de 576 bytes, o pior caso de latência através desse anel ainda é de MTU/velocidade de porta.

Problemas conhecidos

Quando o comando tx-ring-limit é aplicado a um VC por uma instrução vc-class, o PA-A3 não aplica o valor configurado. Confirme o resultado exibindo o valor atual no comando `show atm vc detail`. O ajuste do anel de transmissão usando uma classe vc foi implementado no Cisco IOS Software Release 12.1 (ID de bug Cisco CSCdm93064). O CSCdv59010 resolve o problema com o comando tx-ring-limit em determinadas versões do Cisco IOS Software Versão 12.2. Quando aplicar o comando tx-ring-limit na instrução vc-class em um ATM PVC, o tamanho do anel de transmissão não será modificado. Confirme esse resultado usando o comando `show atm vc detail`, depois de aplicar o comando através dos pares de comandos vc-class e class-vc.

Quando adicionado a um PVC em um PA-A3 em um roteador da série Cisco 7200 executando o

Cisco IOS Software Release 12.2(1), o comando **tx-ring-limit** é duplicado, como mostrado abaixo (ID de bug Cisco CSCdu19350).

```
interface ATM1/0.1 point-to-point
  description dlci-101, cr3640
  ip unnumbered Loopback0
  pvc 0/101
    tx-ring-limit 3
    tx-ring-limit 3
```

A condição é inofensiva e não afeta a operação do roteador.

O bug da Cisco ID CSCdv71623 resolve um problema com quedas de saída em uma interface de pacote PPP multilink quando a taxa de tráfego está bem abaixo da taxa de linha. Esse problema foi visto no CSCdv89201 em uma interface ATM com um valor de tx-ring-limit maior que cinco. O problema torna-se particularmente evidente quando a fragmentação é desativada ou quando os pesos do enlace (limites de tamanho do fragmento) são grandes — comuns em enlaces de velocidade mais alta, como T1s ou E1s — e o tráfego de dados consiste em uma mistura de pacotes pequenos e grandes. Habilitar a fragmentação e usar um tamanho pequeno de fragmento (definido pelo retardo de fragmento multilink ppp de comando de configuração de interface) melhora a operação significativamente. Entretanto, você deve verificar se o roteador tem capacidade de processamento suficiente para suportar esses altos níveis de fragmentação sem sobrecarregar a CPU do sistema, antes de usar isso como solução.

O bug Cisco ID CSCdw29890 resolve um problema com a aceitação sem efeito do comando tx-ring-limit pelo CLI para conjuntos PVC ATM. Entretanto, normalmente você não precisa alterar o limite de toque tx em conjuntos de ATM PVC. O motivo é que, reduzindo o tamanho do anel de forma eficiente, moverá todo o buffer de transmissão para uma fila controlada por QoS, assim um pacote prioritário de chegada é transmitido imediatamente para minimizar o atraso nas interfaces de baixa velocidade. Com os conjuntos ATM PVC, células de pacotes de todos os VCs-membro são sempre enviadas simultaneamente (e intercaladas) de forma que o retardo é automaticamente minimizado.

[Ajustando o valor limite de toque TX nos roteadores 3600 e 2600](#)

As imagens atuais do software Cisco IOS suportam o ajuste do anel de transmissão nos módulos de rede ATM para os roteadores das séries Cisco 2600 e 3600 (ID de bug Cisco CSCdt73385). O valor atual aparece na saída **show atm vc**.

[Informações Relacionadas](#)

- [Mais informações ATM](#)
- [Ferramentas e recursos - Cisco Systems](#)
- [Suporte Técnico e Documentação - Cisco Systems](#)