

# CoherentDSP 컨트롤러에서 EC-BIT 임계값 계산

## 목차

[소개](#)

[사전 요구 사항](#)

[배경 정보](#)

[요구 사항](#)

[사용되는 구성 요소](#)

[구성](#)

[네트워크 다이어그램](#)

[설정](#)

[다음을 확인합니다.](#)

## 소개

이 문서에서는 coherentDSP 컨트롤러에서 ec-비트 임계값을 계산하고 구성하는 방법을 설명합니다.

## 사전 요구 사항

Cisco에서는 옵티컬 네트워킹 용어와 Network Convergence System 1000 Series에 대해 잘 알고 있는 것이 좋습니다.

## 배경 정보

ec-비트 또는 에러-정정된 비트는 코히런트DSP 제어기 상에서 수신된 단일 비트 에러를 나타낸다. FEC(Forward Error Correction)는 테이블에 나열된 최대 BER(Bit Error Ratio) 임계값 내에서 오류가 발생한 비트를 자동으로 수정합니다. coherentDSP 컨트롤러를 사용하는 다른 Cisco 장비의 경우 BER 임계값에 대한 제품 설명서를 참조하십시오.

제품 ID	변조 유형	FEC 유형	Pre-FEC BER 임계값
ONS-CFP2-WDM	QPSK(100G)	7%의 소프트 디시전	1.0E-2
ONS-CFP2-WDM	QPSK(100G)	20% 소프트 디시전	3.6E-2
ONS-CFP2-WDM	16QAM(200G 및 250G)	7%의 소프트 디시전	0.75E-2
ONS-CFP2-WDM	16QAM(200G 및 250G)	20% 소프트 디시전	2.4E-2
NCS1K4-1.2T-K9	모두	15% 소프트 디시전	2.0E-2
NCS1K4-1.2T-K9	모두	27%의 소프트 디시전	3.75E-2

[소스](#)

표 4. <https://www.cisco.com/c/en/us/products/collateral/optical-networking/network-convergence-system-1000..>

표 6. <https://www.cisco.com/c/en/us/products/collateral/optical-networking/network-convergence-system-1000..>

최대 BER(Bit Error Ratio)를 초과하는 오류 비트는 수정되지 않으며 Post-FEC 오류로 증가합니다. 컨피그레이션에 따라 Post-FEC 오류가 클라이언트에 전달되거나 클라이언트 포트 스quelch가 발생할 수 있습니다.

Squelch는 트렁크 오류가 발생하는 동안 클라이언트 인터페이스에서 전송을 비활성화합니다. ec-비트 임계값의 구성은 Post-FEC 오류가 증가하기 전에 신호 저하의 사전 예방적 탐지를 가능하게 한다.

이 컨피그레이션은 수정되지 않은 단어의 폭발을 예측하거나 차단하지 않습니다.

show controller coherentDSP 0/0/0/x를 사용하여 coherentDSP 컨트롤러의 현재 BER를 볼 수 있습니다.

```
RP/0/RP0/CPU0:NCS1002_1# show controller coherentDSP 0/0/0/5  
Tue Jul 18 14:54:19.399 UTC
```

```
Port : CoherentDSP 0/0/0/5  
Controller State : Up  
Inherited Secondary State : Normal  
Configured Secondary State : Normal  
Derived State : In Service  
Loopback mode : None  
BER Thresholds : SF = 1.0E-5 SD = 1.0E-7  
Performance Monitoring : Enable
```

```
Alarm Information:  
LOS = 6 LOF = 3 LOM = 1  
OOF = 3 OOM = 4 AIS = 0  
IAE = 0 BIAE = 0 SF_BER = 0  
SD_BER = 0 BDI = 6 TIM = 0  
FECMISMATCH = 0 FEC-UNC = 1  
Detected Alarms : None
```

```
Bit Error Rate Information  
PREFEC BER : 5.8E-03  
POSTFEC BER : 0.0E+00
```

```
TTI :  
Remote hostname : NCS1002_2  
Remote interface : CoherentDSP 0/0/0/5  
Remote IP addr : 0.0.0.0
```

```
FEC mode : Soft-Decision 20
```

```
AINS Soak : None  
AINS Timer : 0h, 0m  
AINS remaining time : 0 seconds
```

## 요구 사항

이 구성에는 NCS1002 또는 NCS1004와 같은 coherentDSP 컨트롤러를 사용하는 장치가 필요합니다.

## 사용되는 구성 요소

이 예에서는 다음을 사용합니다.

- ONS-CFP2-WDM 플러그형이 200G 슬라이스 모드로 구성된 XR 7.3.2의 NCS1002.
- NCS1K4-1.2T-K9가 400G 혼합 모드로 구성된 XR 7.9.1의 NCS1004

이 문서의 정보는 특정 랩 환경의 디바이스를 토대로 작성되었습니다. 이 문서에 사용된 모든 디바이스는 초기화된(기본) 컨피그레이션으로 시작되었습니다. 현재 네트워크가 작동 중인 경우 모든 명령의 잠재적인 영향을 미리 숙지하시기 바랍니다.

## 구성

30초, 15분 및 24시간 PM(Performance Monitoring) 간격에는 모두 ec-비트 임계값이 포함될 수 있습니다.

1. 각 PM 구간에 대한 coherentDSP 컨트롤러의 비트 레이트를 결정한다.

트렁크 속도는 플랫폼에 따라 다양한 위치에 나타납니다. NCS1002는 show hw-module slice x 아래에 트렁크 속도를 나열합니다

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1002_1#
```

```
show hw-module slice 0
```

```
Tue Jul 18 15:42:17.725 UTC
```

```
Slice ID: 0
```

```
Status: Provisioned
```

```
Client Bitrate: 100
```

```
Trunk Bitrate: 200
```

```
DP FPGA FW Type: X100
```

```
DP FPGA FW Version: 01.01
```

```
HW Status: CURRENT
```

NCS1004는 show controller coherent 0/x/0/y의 대역폭을 제공합니다.

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1004_71#
```

```
show controller coherentDSP 0/1/0/0
```

```
Tue Jul 18 12:10:59.777 CDT
```

Port : CoherentDSP 0/1/0/0  
Controller State : Up  
Inherited Secondary State : Normal  
Configured Secondary State : Normal  
Derived State : In Service  
Loopback mode : None  
BER Thresholds : SF = 1.0E-5 SD = 1.0E-7  
Performance Monitoring : Enable  
Bandwidth : 400.0Gb/s

Alarm Information:

LOS = 1 LOF = 1 LOM = 0  
OOF = 1 OOM = 1 AIS = 0  
IAE = 0 BIAE = 0 SF\_BER = 0  
SD\_BER = 0 BDI = 0 TIM = 0  
FECMISMATCH = 0 FEC-UNC = 0 FLEXO\_GIDM = 0  
FLEXO-MM = 0 FLEXO-LOM = 0 FLEXO-RDI = 0  
FLEXO-LOF = 0  
Detected Alarms : None

Bit Error Rate Information

PREFEC BER : 8.78E-04  
POSTFEC BER : 0.00E+00  
Q-Factor : 9.80 dB

Q-Margin : 4.80dB

Instantaneous Q-Margin : 4.50 dB

200Gbps 비트 속도는 각 PM 간격에 대해 이러한 비트 수를 제공합니다.

- 30초:  $2E11\text{비트/초} * 30\text{초} = 6E12\text{비트}$
- 15분:  $2E11\text{비트/초} * 60\text{초} * 15\text{분} = 1.8E14\text{비트}$
- 24시간:  $2E11\text{비트/초} * 60\text{초} * 60\text{분} * 24\text{시간} = 1.728E16\text{비트}$

400Gbps의 비트 속도는 다음과 같은 두 배의 속도를 제공합니다.

- 30초:  $4E11\text{비트/초} * 30\text{초} = 1.2E13\text{비트}$
- 15분:  $4E11\text{비트/초} * 60\text{초} * 15\text{분} = 3.6E14\text{비트}$
- 24시간:  $4E11\text{비트/초} * 60\text{초} * 60\text{분} * 24\text{시간} = 3.46E16\text{비트}$

2. 간격당 오류 수정 비트의 최대 허용 임계값을 계산합니다. 15분 간격으로 이 단계를 반복합니다. 24시간 임계값은 유용성이 제한적이므로 계산할 필요가 없습니다.

예 1: 20% SD(SoftDecision) FEC를 사용하는 200G 신호는 테이블로부터  $2.4E-2$ 의 최대 프리-FEC BER를 갖는다.

- 30초:  $6E12\text{비트} * 2.4E-2\text{ BER} = 1.44E11\text{ ec-비트} = 144000000000\text{ ec-비트}$
- 15분:  $1.8E14\text{비트} * 2.4E-2\text{ BER} = 4.32E12\text{ ec-bits} = 4320000000000\text{ ec-bits}$

예 2: 27% SD FEC를 사용하는 400G 신호는  $3.75E-2$ 의 최대 프리-FEC BER 허용치를 가진다.

- 30초:  $1.2E13\text{비트} * 3.75E-2 = 4.5E11 = 450000000000\text{ ec-비트}$

- 15분:  $3.6E14\text{비트} * 3.75E-2 = 1.35E13 = 13500000000000$  ec-비트

일반적으로 현재 BER와 최대 허용 한도 사이의 ec-bit 임계값을 구성합니다.

예를 들어, 400G coherentDSP 컨트롤러는  $8.83E-4$ 의 평균 BER를 보고할 수 있으며, 이는 하나의 30초 간격으로 총 10596000000개의 오류 비트를 제공한다.

show logging에서 불필요한 TCA(임계값 초과 알림)를 방지하려면 임계값을 이 값보다 크게 설정합니다.

이 예는 임계치를 오류 비트들의 최대 허용치의 약 20% 이내로 설정한다.

3. coherentDSP 컨트롤러에서 ec-bits 임계값을 구성합니다.

예 1: 20% SoftDecision FEC를 사용하는 200G 트렁크 속도의 NCS1002.

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1002_1#
```

```
configure
```

```
Tue Jul 18 17:22:14.088 UTC
```

```
RP/0/RP0/CPU0:NCS1002_1(config)#
```

```
controller coherentDSP 0/0/0/5
```

```
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
```

```
pm 30-sec fec threshold ec-bits 115200000000
```

```
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
```

```
pm 15-min fec threshold ec-bits 3456000000000
```

```
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
```

```
commit
```

예 2: NCS1K4-1.2T-K9의 NCS1004는 400G 혼합 모드(27% SoftDecision FEC 사용)

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1004_1#
```

```
configure
```

```
Tue Jul 18 11:52:17.915 CDT
```

```
RP/0/RP0/CPU0:NCS1004_1(config)#
```

```
controller coherentDSP 0/1/0/0
```

```
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
```

```
pm 30-sec fec threshold ec-bits 360000000000
```

```
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
```

```
pm 15-min fec threshold ec-bits 10800000000000
```

```
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
```

```
commit
```

원단 장치를 포함하여 사용 중인 모든 coherentDSP 컨트롤러에 대해 이 단계를 반복합니다.

## 네트워크 다이어그램

```
NCS1002_1 0/0/0/5 <----> 0/0/0/5 NCS1002_2
```

```
NCS1004_1 0/1/0/0 <----> 0/1/0/0 NCS1004_1
```

## 설정

ec-bits에 대한 모든 TCA 보고를 비활성화하려면 다음 명령을 사용합니다.

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
```

```
pm 30-sec fec report ec-bits disable
```

```
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
```

```
pm 15-min fec report ec-bits disable
```

```
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
```

```
pm 24-hour fec report ec-bits disable
```

```
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
```

```
commit
```

## 다음을 확인합니다.

변경 사항이 show run controller coherentDSP 0/x/0/y로 적용되었는지 확인합니다.

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1002_1#
```

```
show run controller coherentDSP 0/0/0/5
```

```
Tue Jul 18 17:47:03.392 UTC
```

```
controller CoherentDSP0/0/0/5
```

```
pm 15-min fec threshold ec-bits 3800000000000
```

```
pm 30-sec fec threshold ec-bits 1300000000000
```

```
!
```

<#root>

RP/0/RP0/CPU0:NCS1004\_1#

show run controller coherentDSP 0/1/0/0

Tue Jul 18 12:39:46.782 CDT

controller CoherentDSP0/1/0/0

pm 15-min fec threshold ec-bits 1200000000000

pm 30-sec fec threshold ec-bits 400000000000

!

이 번역에 관하여

Cisco는 전 세계 사용자에게 다양한 언어로 지원 콘텐츠를 제공하기 위해 기계 번역 기술과 수작업 번역을 병행하여 이 문서를 번역했습니다. 아무리 품질이 높은 기계 번역이라도 전문 번역가의 번역 결과물만큼 정확하지는 않습니다. Cisco Systems, Inc.는 이 같은 번역에 대해 어떠한 책임도 지지 않으며 항상 원본 영문 문서(링크 제공됨)를 참조할 것을 권장합니다.