

HSSI(High Speed Serial Interface) 설계 사양

날짜:1993년 4월 12일

개정 3.0

이전 릴리스:

개정 2.11

1990년 3월 16일

첫 번째 릴리스:1989년 10월

부칙 문제 #1:1991년 1월

Cisco Systems, Inc. 및 T3plus Networking, Inc.의 Copyright© 1989-1993.

알림

Cisco Systems, Incorporated 및 T3plus Networking은 사양의 어떠한 정보도 명시하지 않으며, 어떠한 정보도 보증하지 않지만, 선의와 지식 및 능력을 최대한 제공합니다. 전술한 사양의 일반성을 제한하지 않고 Cisco Systems 및 T3plus Networking은 특정 목적을 위한 적합성에 대한 진술이나 보증을 하지 않으며, 사양의 정보를 사용할 경우 타인의 특허나 기타 권리를 침해할 수 있는지 여부를 명시하지 않습니다. 수신자는 수신자가 해당 정보 또는 그로부터 얻은 제품을 사용하여 Cisco Systems 또는 T3plus Networking에 대해 발생할 수 있는 모든 청구를 면합니다.

제공된 이 사양을 재현하고 배포할 권한이 부여되었습니다.

1. Cisco Systems, Inc. 및 T3plus Networking, Inc. 이름은 authors,
2. 이 공지의 사본이 모든 복사본에 나타나며
3. 이 문서의 내용은 변경되거나 수정되지 않습니다.

Cisco Systems 및 T3plus Networking의 명시적인 서면 승인 없이는 이 문서의 내용을 변경하거나 수정할 수 없습니다. 이 문서는 고속 직렬 인터페이스 사양 역할을 하며 업계 표준으로 발전하기 위한 것입니다. 이러한 목적으로 이 사양은 향후 추가적인 요구 사항 또는 국내 또는 국제 표준의 준수 여부를 반영하도록 개정될 것으로 예상됩니다. Cisco Systems 및 T3plus Networking은 이 사양 또는 해당 사양이 관련된 장비를 예고 없이 책임 없이 언제든지 변경하거나 수정할 수 있는 권한을 보유합니다.

이 사양의 업데이트된 사본을 받으려면 Cisco Systems 또는 T3plus Networking의 HSSI Specification 메일링 목록에 추가하도록 요청하는 것이 좋습니다.

공동 작성자

존 T. 채프먼

선임 하드웨어 설계 엔지니어

Cisco Systems, Inc.

375 이스트 태즈먼 드라이브

San Jose, CA 95134

jchapman@cisco.com

전화:(408) 526-7651 팩스:(408) 527-1709

미트리 할라비
선임 하드웨어 설계 엔지니어
T3plus 네트워킹, Inc.
2840 San Tomas Expressway
산타클라라, CA 95051
mitri@t3plus.com
전화:(408) 727-4545 팩스:(408) 727-5151

소개

요약

이 문서에서는 고속 라우터 또는 유사 데이터 디바이스와 같은 DTE 간에 존재하는 물리적 레이어 인터페이스와 DS3(44.736Mbps) 또는 SONET STS-1(51.84Mbps) DSU 등의 DCE 간에 존재하는 물리적 레이어 인터페이스를 지정합니다. 이 사양에 대한 향후 확장에는 최대 SONET STS-3(155.52Mbps)의 속도 지원이 포함될 수 있습니다.

이 문서는 John T. Chapman 및 Mitri Halabi, Revision 2.11, 1990년 3월 16일, 그리고 Addendum Issue #1, 1991년 1월 23일에 작성된 HSSI 설계 사양과 호환됩니다.

HSSI는 현재 미국 표준 연구소에 의해 비준되고 있다. 물리적 레이어 사양은 EIA/TIA-613이고, 전기 계층 사양은 EIA/TIA-612가 됩니다. 이러한 사양은 1993년 중반에 제공됩니다. 두 사양 간에 알려진 차이가 있는 경우 여기에 표기법이 포함되어 있습니다.

문서 조직

- 이 섹션인 [Introduction](#)은 HSSI를 소개하고 다른 사양과 관련시킵니다.
- 다음 섹션인 [용어 및 정의](#)는 문서에서 사용되는 정의를 제공합니다.
- 세 번째 부분인 [전기 사양](#)은 신호 이름, 정의, 특성, 작동 및 타이밍을 비롯한 전기 사양을 정의합니다.
- 섹션 4의 [물리적 사양](#)은 커넥터 유형, 케이블 유형 및 핀 할당을 포함한 물리적 속성에 대해 설명합니다.
- 부록 A, [타이밍 다이어그램](#)은 타이밍 관계를 그래픽으로 나타냅니다.
- 부록 B, [차동 회로 표기 규칙](#)은 극성 표기 규칙을 그래픽으로 정의합니다.
- 부록 C, [소음 내성](#)은 ECL 노이즈 내성에 대한 자세한 분석을 제공합니다.

기존 표준 비교

ANSI/EIA Series 표준, EIA-232-D, EIA-422-A, EIA-423-A, EIA-449 및 EIA-530과 관련하여 이 사양은 다음과 같이 구분됩니다.

- 최대 52Mbps의 시리얼 비트 속도 지원
- ECL(Emitter Completed Logic) 전송 레벨 사용
- 타이밍 신호를 가감할 수 있습니다. 즉, 연속적이지 않게
- 간소화된 제어 신호 프로토콜 사용
- 보다 자세한 루프백 신호 프로토콜 사용

- 다른 커넥터 사용

용어 및 정의

이 사양은 다음 정의를 준수합니다.

아날로그 루프백

DCE 장비 부분의 선 쪽에 연결된 루프백 중 한 방향입니다.

어설션

지정된 신호의 (+측면)은 잠재적 Voh에 있는 반면 같은 신호의 (-측면)은 잠재적 Vol에 있는 것입니다.(참조:Electrical [Specification](#) 섹션 및 [부록 B: Differential Circuit Conventions](#) 섹션) 입니다.

어설션 해제

지정된 신호의 (+side)는 잠재적 Vol에 있는 반면 같은 신호의 (-side)는 잠재적 Voh에 있는 것입니다.

데이터 통신 채널

DCE 간 정보 전송과 관련된 전송 미디어 및 중간 장비이 사양에서는 데이터 통신 채널이 전이 중으로 간주됩니다.

DCE:데이터 통신 장비

데이터 통신 채널을 최종 장치(DTE)와 연결하는 통신 네트워크의 장치 및 연결. CSU/DSU를 설명하는 데 사용됩니다.

디지털 루프백

DCE 장비의 DTE 포트와 연결된 루프백 중 한 방향입니다.

DS3:디지털 신호 수준 3

T3라고도 합니다. 28T1?s에 해당하는 대역폭입니다.비트 전송률은 44.736Mbps입니다 .DSU:데이터 서비스 장치.DTE에서 디지털 통신 시설에 대한 액세스를 제공합니다.

DTE:데이터 터미널 장비

데이터 소스, 목적지 또는 둘 다 역할을 하며 프로토콜에 따라 데이터 통신 제어 기능을 제공하는 데이터 스테이션의 일부입니다.라우터 또는 유사한 디바이스를 설명하는 데 사용됩니다.

Gapped 시계

임의의 시간 동안 임의의 간격으로 클럭 펄스가 누락될 수 있는 명목상 비트 속도의 클럭 스트림입니다.

OC-N

STS-N 신호의 광학 변환에서 발생하는 옵티컬 신호.

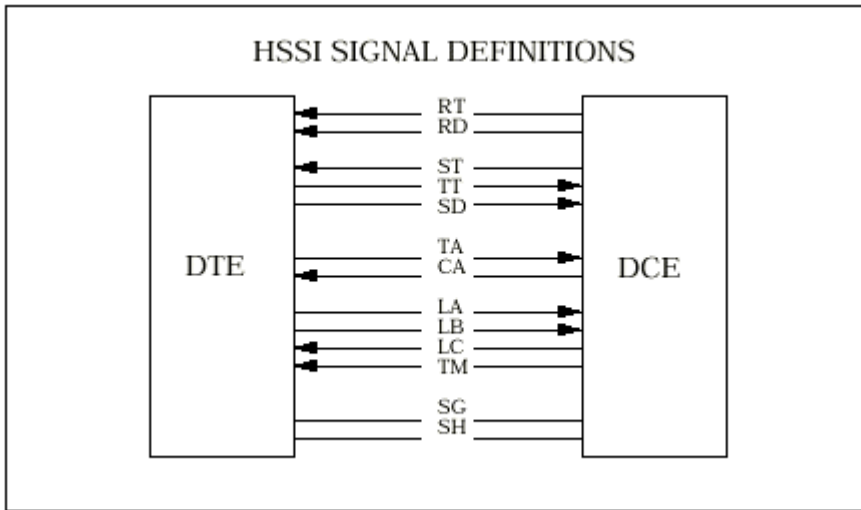
SONET:동기식 광 네트워크

옵티컬 통신 시스템 사용을 표준화하기 위한 ANSI/CCITT 표준.

STS-N:동기식 전송 신호 레벨 n. 여기서 n = 1,3,9,12,18,24,36,48

STS-1은 51.84Mbps 속도의 SONET에 대한 기본 논리적 빌딩 블록 신호입니다.STS-N은 바이트 인터리빙 N STS-1 신호와 함께 N배 51.84Mbps의 속도로 연습니다.

전기 사양



신호 정의

RT:수신 시간 *DCE에서*

RT는 최대 비트 전송률이 52Mbps인 매핑된 클럭이며 RD에 대한 수신 신호 요소 타이밍 정보를 제공합니다.

RD:데이터 수신 *DCE에서*

원격 데이터 스테이션에서 수신한 데이터 채널 회선 신호에 대한 응답으로 DCE에서 생성된 데이터 신호는 이 회로에서 DTE로 전송됩니다.RD는 RT와 동기화됩니다.

ST:시간 보내기 *DCE에서*

ST는 최대 비트 속도가 52Mbps인 매핑된 클럭이며 DTE에 전송 신호 요소 타이밍 정보를 제공합니다.

TT:터미널 타이밍 *DCE로*

TT는 DCE에 전송 신호 요소 타이밍 정보를 제공합니다.DTE가 DCE에 다시 ST 신호를 올립니다.TT는 DTE에서만 버퍼링해야 하며, 다른 신호와 함께 제어해서는 안 됩니다.

SD:데이터 보내기 *DCE로*

데이터 신호는 DTE에서 시작되어 데이터 채널을 통해 원격 데이터 스테이션으로 전송됩니다.SD는 TT와 동기화됩니다.

TA:데이터 터미널 장비 사용 가능 *DCE로*

DTE가 DCE에서 데이터를 보내고 받을 준비가 되면 TA는 CA와 독립적으로 DTE에 의해 어설션됩니다.유효한 데이터 전송은 DCE에서 CA를 어설션할 때까지 시작해서는 안 됩니다.DTE의 연결이 끊어질 때 데이터 통신 채널에 연결 유지 데이터 패턴이 필요한 경우 DCE는 TA가 해제되는 동안 이 패턴을 제공해야 합니다.

CA:데이터 통신 장비 사용 가능 *DCE에서*

DCE가 DTE에서 데이터를 보내고 받을 준비가 되면 TA와 독립적으로 DCE에서 CA를 어설션합니다.이는 DCE가 유효한 데이터 통신 채널을 획득했음을 나타냅니다.데이터 전송은 DTE에서 TA를 어설션할 때까지 시작해서는 안 됩니다.

TA와 CA를 모두 어설션하지 않는 한 데이터 통신 채널이 유효하지 않은 경우 DTE와 DCE 모두에

서 TA와 CA를 모두 사용하여 들어오는 데이터 스트림을 게이팅하는 것이 좋습니다.

또한 DCE에서 CA를 어설션할 때 DCE는 알 수 없는 상태이며 ST 및 RT 클럭은 부재할 수 있으며 DTE에서 유효한 것으로 간주할 수 없음을 인식해야 합니다.

LA:루프백 회선 A DCE로

LB:루프백 회로 B DCE로

DTE는 DCE 및 관련 데이터 통신 채널이 3가지 진단 루프백 모드 중 하나를 제공하도록 LA 및 LB를 어설션합니다. 구체적으로 LB = 0, LA = 0:루프백 LB 없음 = 1, LA = 1:로컬 DTE 루프백 LB = 0, LA = 1:로컬 라인 루프백 LB = 1, LA = 0:원격 회선 루프백

1은 어설션을, 0은 어설션을 나타냅니다. 모든 루프백은 페이로드 루프백입니다. 따라서 HSSI 데이터 스트림이 데이터 통신 채널의 일부로만 멀티플렉싱된 경우, 최소한으로 데이터 통신 채널의 일부만 루프백이 필요합니다.

로컬 DTE(?digital?) 루프백은 DCE의 DTE 포트에서 발생하며 DTE와 DCE 간의 링크를 테스트하는 데 사용됩니다. 로컬 회선(?analog?) 루프백은 DCE의 라인 측 포트에서 발생하며 DCE 기능을 테스트하는 데 사용됩니다. 원격 회선(?analog?) 루프백은 원격 DCE의 회선 포트에서 발생하며 데이터 통신 채널의 기능을 테스트하는 데 사용됩니다. 이 세 루프백은 이 시퀀스에서 시작됩니다. 원격 DCE는 로컬 루프를 원격으로 수행하여 테스트됩니다. LA와 LB는 EIA 신호 LL(로컬 루프백) 및 RL(원격 루프백)의 직접 대체입니다.

로컬 DCE는 세 가지 루프백 모드 모두에서 CA를 계속 어설션합니다. 로컬 DCE가 특정 루프백 모드를 지원할 수 없는 경우 DTE에서 LA 또는 LB를 어설션하는 동안 CA를 디어설션하도록 선택할 수 있습니다. 원격 루프백이 유효하면 원격 DCE가 CA를 거부합니다. 원격 DCE가 로컬 DCE에서 로컬 루프백을 탐지할 수 있는 경우 원격 DCE는 해당 CA를 거부합니다. 그렇지 않으면 로컬 DCE에 로컬 루프백이 있는 경우 원격 DCE가 해당 CA를 어설션합니다.

DCE는 명령 DTE로만 루프백을 구현합니다. 데이터 통신 채널에서 데이터 수신은 무시됩니다. 데이터 통신 채널로 데이터를 전송하면 데이터 통신 채널의 특정 요구 사항에 따라 명령 DTE의 전송 데이터 스트림 또는 연결 유지 데이터 패턴으로 채워집니다.

DCE가 루프백 모드를 시작했음을 나타내는 명시적 하드웨어 상태 신호가 없습니다. DTE는 루프백이 유효하다고 가정하기 전에 LA 및 LB를 어설션한 후 적절한 시간을 기다립니다. 적절한 시간은 애플리케이션에 따라 달라지며 이 사양의 일부가 아닙니다.

루프백 모드는 타이밍 및 데이터 신호 모두에 적용됩니다. 따라서 DTE -DCE 링크에서 동일한 타이밍 신호가 ST와 같은 세 번, TT와 마지막으로 RT로 링크를 통과합니다.

LC:루프백 회로 C DCE에서

LC는 DCE에서 DTE로의 루프백 요청 신호(선택 사항)로서 DTE에서 DCE에 대한 루프백 경로를 제공하도록 요청합니다. 더 구체적으로, DTE는 TT=RT 및 SD=RD를 설정합니다. 이러한 상황에서 ST는 사용되지 않으며 유효한 클럭 소스로 사용할 수 없습니다.

그러면 DCE/DSU 네트워크 관리 진단 프로그램이 DTE와 독립적으로 DCE/DTE 인터페이스를 테스트할 수 있습니다. DCE와 DTE는 모두 인텔리전트 독립 피어이며 DCE는 자체 데이터 통신 채널을 유지 관리할 수 있으며 책임을 진다는 HSSI 철학을 따릅니다.

DTE와 DCE가 루프백 요청을 모두 어설션할 경우 DTE에 기본 설정이 지정됩니다.

LC는 선택 사항이며 ANSI 표준에 포함되지 않았습니다.

TM:테스트 모드 DCE에서

테스트 모드는 DCE가 로컬 또는 원격 루프백으로 인해 발생한 테스트 모드에 있을 때 DCE에 의해 어설션됩니다. 이 신호는 선택 사항입니다. TM은 ANSI에 의해 추가되었으며 원래 HSSI 사양의 일부가 아닙니다.

SG:신호 접지

SG는 양쪽 끝에서 회선 접지에 접속됩니다. SG는 전송 신호 레벨이 수신기의 공통 모드 입력 범위 내에 있는지 확인합니다.

SH:실드 방향

실드는 EMI를 위해 케이블을 캡슐화하며 암시적으로 신호 반환 전류를 전달하는 것은 아닙니다. 실드는 DTE 프레임 접지에 직접 연결되어 있으며 DCE 프레임 접지에서 두 옵션 중 하나를 선택할 수 있습니다.

첫 번째 옵션은 실드를 DCE 프레임 접지에 직접 연결하는 것입니다.

두 번째 옵션은 470ohm, +/-10%, 1/2와트 저항기, 0.1uF, +/- 10%, 50볼트, 모놀리식 콘덴서 및 0.01uF, +/- 10%, 50볼트, 모놀리식 세라믹 콘덴서를 병렬로 조합하여 DCE 프레임워크에 실드를 연결하는 것입니다.

R-C-C 네트워크는 최대한 실드/새시 접합 가까이에 위치해야 합니다. 실드가 DTE 및 DCE 새시에 직접 종료되므로, 실드에는 커넥터 내에 핀 할당이 제공되지 않습니다. 연결 케이블 간의 실드 연속성은 커넥터 하우징에 의해 유지됩니다.

실제로 첫 번째 옵션은 일반적으로 사용됩니다.

전기 특성

모든 신호는 표준 ECL 레벨에서 균형, 차등 제어 및 수신됩니다. ECL 음수 공급 전압, V는 양쪽 끝에서 -5.2Vdc +/- 10% 또는 -5.0Vdc +/- 10%일 수 있습니다. 상승 시간과 낙하 시간은 20%에서 80% 임계값 레벨로 측정됩니다. HSSI 송신기 및 수신기의 전기 특성은 HSSI Receiver 테이블과 HSSI Transmitter 테이블에 표시되며, 이 두 테이블 모두 아래에 표시됩니다.

HSSI RECEIVER	
Receiver Type	ECL 10KH differential line receiver (MC10H115, MC10H116, MC10H125, or equivalent)
Maximum Signal Level	1.0 volts peak-to-peak differential
Minimum Signal Level	150 mvolts peak-to-peak differential
Common Mode Range	-2.85 volts dc to -0.8 volts dc (-0.5 volts max)
Differential Termination	110 ohms (carbon composition)
Common Mode Termination	750 ohms common-mode (optional)
Values apply over a temperature range of 0 to 75 degrees Celcius, and have been adjusted for the broader Vee range	

HSSI TRANSMITTER				
Driver Type	ECL 10KH with differential outputs (MC10H109, MC10H124, or equivalent)			
Signal Levels	minimum	typical	maximum	units
Voh:	-1.02	-0.90	-0.73	Vdc
Vol:	-1.96	-1.75	-1.59	Vdc
Vdiff:	0.59	0.85	1.21	Vdc
Trise:	0.50	-	2.30	ns
Tfall:	0.50	-	2.30	ns
Transmission Rate	52 Mbps maximum			
Signal Type	electrically balanced with Non Return to Zero encoding			
Termination	330 ohms low inductance resistors from each side to Vee			
Values apply over a temperature range of 0 to 75 degrees Celcius, and have been adjusted for the broader Vee range				

이 사양에 나열된 10KH ECL 전기 특성 외에도 100K ECL과의 상호 연동이 가능하며 ANSI 사양에서 허용됩니다.

Fail Safe 작업

인터페이스 케이블이 없는 경우 차등 ECL 수신기는 기본적으로 알려진 상태여야 합니다. 이를 보장하려면 10H115 또는 10H116을 사용하여 1.5 kohm, 1%, 풀업 저항기를 수신기의 (-측)에 추가하고 1.5 kohm, 1%, 풀다운 저항기를 수신기의 (+측면)에 추가해야 합니다.

이를 통해 110옴 레지스터에 걸쳐 적절한 150mv의 최소값을 개발하여 750ohm의 종단말을 생성합니다. 모든 인터페이스 신호의 기본 상태는 설정 해제됩니다.

10H125를 사용할 때는 외부 저항기를 사용할 필요가 없습니다. 10H125에는 내부 바이어스 네트워크가 있기 때문에 입력이 떠 있을 때 출력 저상태가 강제로 발생합니다.

핀 조합에서 열린 회로 또는 단락 연결로 인해 인터페이스가 손상되어서는 안 됩니다.

타이밍

소스 타이밍은 송신기에서 생성되는 타이밍 파형으로 정의됩니다. 대상 타이밍은 수신기에서 타이밍 파형 인시던트로 정의됩니다. 펄스 너비는 최종 펄스 진폭의 50% 포인트 사이에서 측정됩니다. 타이밍 펄스의 행간 모서리는 어설션과 어설션 사이의 경계로 정의됩니다. 타이밍 펄스의 후행 모서리는 어설션과 설정 해제 사이의 경계로 정의됩니다.

사양 및 구현 관점에서 HSSI 링크는 플립플롭(flip-flop) 링크와 함께 ECL 플립 플립플롭(flip-flop) 링크로 간주해야 합니다. 데이터가 HSSI 포트를 떠날 때 ECL 플립 플립에서 벗어나 라인 드라이버로 직접 다시 고정해야 합니다. 수신기에서, 일단 라인 수신기를 통과하면, 데이터는 즉시 다시 ECL 플립 플립플립플립에 다시 고정되어야 합니다. 제어 신호는 플립플롭 사용을 요구하지 않습니다.

RT, TT 및 ST 최소 양의 소스 타이밍 펄스 폭은 7.7ns입니다. 이를 통해 +/- 10%의 소스 듀티 사이클 허용이 가능합니다. 이 값은 다음에서 가져옵니다.

-
-
- 10% = ((9.61ns - 7.7ns)/19.23ns)
- x100%
-

위치:

-
-
- 19.23 ns = 1 / (52 Mbps)
- 9.61 ns = 19.23 ns * 1/2 cycle
-

데이터는 소스 타이밍 펄스의 최고 가장자리 +/- 3ns 내에서 새 상태로 변경됩니다.

RT, TT 및 ST 최소 양의 대상 타이밍 펄스 폭은 6.7ns입니다. 데이터는 대상 타이밍 펄스의 선행 가장자리에서 +/- 5ns 이내에 새 상태로 변경됩니다. 이러한 숫자를 사용하면 펄스 너비 왜곡이 1.0ns이고 클럭이 2.0ns에서 데이터 왜곡이 발생할 수 있습니다. 그러면 수신기 설정 시간에 1.7ns가 남습니다.

데이터는 후행 모서리에서 유효한 것으로 간주됩니다. 따라서 송신기는 선행 에지에서 데이터를 클럭하고, 수신기는 후행 에지에서 클럭 데이터를 클럭합니다. 클럭 데이터 기울이기 오류에 대한 수락 창을 사용할 수 있습니다.

DTE 내의 TT 포트로의 ST 포트 지연 시간은 50ns 미만이어야 합니다. DCE는 ST 포트와 TT 포트 간의 지연 시간을 최소 200ns 이상 허용할 수 있어야 합니다. 이렇게 하면 15미터 케이블(양복 지연)에 150ns 지연이 가능합니다.

다양한 비트/바이트/프레임 DCE 멀티플렉서 구현을 용이하게 하기 위해 프레이밍 펄스를 삭제하고 HSSI의 대역폭 제한을 허용하도록 RT 및 ST를 매핑할 수 있습니다.

최대 제한 간격을 지정하지 않았습니니다. 그러나 클럭 소스 ST와 RT는 일반적으로 TA와 CA가 모두 어설션될 때 계속됩니다. 가핑 간격은 동일한 기울기의 연속된 두 클럭 모서리 사이의 시간으로 측정됩니다.

즉각적인 데이터 전송 속도는 52Mbps를 초과할 수 없습니다.

유효한 데이터의 정의는 응용 프로그램에 종속적이며 이 사양의 주제가 아닙니다. 이는 HSSI가 레이어 1 사양인 것과 동일하므로 데이터 유효성을 전혀 알지 못합니다.

CA와 TA는 서로 비동기적입니다. CA의 어설션에 따라 신호 ST, RT 및 RD는 최소 40ns 동안 유효한 것으로 간주되지 않습니다. TA의 어설션에 따라 TT 및 SD는 40ns 이상 유효한 것으로 간주되지 않습니다. 이는 수신 종료 설정 시간이 충분하도록 하기 위한 것입니다.

SD의 마지막 유효한 데이터 비트가 전송된 후 최소 1개의 클럭 펄스가 전송될 때까지 TA를 해제해서는 안 됩니다. 데이터가 DCE에 투명하므로 CA에는 적용되지 않습니다.

물리적 사양

DCE와 DTE를 연결하는 케이블은 25개의 꼬임 쌍으로 구성되며 전체적인 포일/브레이드 실드가 있습니다. 케이블 커넥터는 모두 남성 커넥터입니다. DTE와 DCE에는 여성 수용기가 있습니다. 치수는 m(미터) 및 ft(피트)로 지정됩니다.

HSSI 케이블은 SCSI-2 사양과 동일한 커넥터를 사용하지만 HSSI 및 SCSI-2 케이블의 케이블 임피던스는 다릅니다. SCSI-2 케이블은 최대 70ohm, HSSI 케이블은 110ohm로 지정됩니다. 따라서 SCSI-2 사양은 HSSI에서 제대로 작동하지 않을 수 있습니다. 더 긴 케이블 길이로 인해 비호환성이 더욱 두드러집니다.

케이블은 HSSI 케이블 전기 사양 테이블, HSSI 케이블 물리적 사양 테이블 및 HSSI 커넥터 핀아웃 테이블에 완전히 설명되어 있습니다. 이 모두 아래에 나와 있습니다.

HSSI CABLE ELECTRICAL SPECIFICATION			
length:	nominal: maximum:	2 m 15 m	6 ft 50 ft
maximum DCR at 20 C:		23 ohms/km	70ohms/1000ft
differential impedance at 50 MHz: (95% or more pairs) nominal: maximum:		110 ohms 110 ohms	(+/- 11 ohms) (+/- 15 ohms)
signal attenuation at 50 MHz:		0.28 dB/m	0.085 dB/ft
propagation delay. maximum: (65% of c) delta:		5.18 ns/m 0.13 ns/m	1.58 ns/ft 0.04 ns/ft
mutual capacitance within pair, minimum: (95% or more pairs) nominal: maximum:		34 pF/m 41 pF/m 48 pF/m	10.5 pF/ft 12.5 pF/ft (+/- 10%) 15.0 pF/ft
capacitance, pair to shield, maximum: delta:		78 pF/m 2.6 pF/m	24 pF/ft 0.8 pF/ft

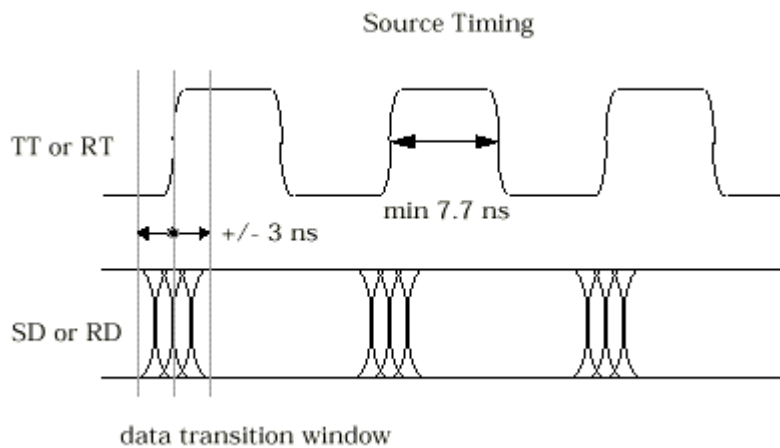
HSSI CABLE PHYSICAL SPECIFICATION	
cable type:	multi-conductor cable, consisting of 25 twisted pairs cabled together with an overall double shield and PVC jacket
gauge:	28 AWG, 7 strands of 36 AWG, tinned annealed copper, nominal 0.015 in. diameter
insulation:	polyethylene or polypropylene; 0.24 mm, .0095 in. nominal wall thickness; 0.86 mm +/- 0.025 mm, .034 in. +/- 0.001 in. outside diameter
foil shield:	0.051 mm, 0.002 in. nominal aluminum/polyester/aluminum laminated tape spiral wrapped around the cable core with a 25% minimum overlap
braid shield:	braided 36 AWG, tinned plated copper in accordance with 80% minimum coverage
jacket:	75 degrees C flexible polyvinylchloride
jacket wall:	0.51 mm, 0.020 in. minimum thickness
dielectric strength:	1000 VAC for 1 minute
outside diameter:	10.41 mm +/- 0.18 mm, 0.405 in. +/- 0.015 in.
agency compliance:	CL2, UL Subject 13, NEC 725-51(c) + 53(e)
manufacturer p/n:	QUINTEC (Madison Cable 4084) ICONTEC RTF-40-25P-2 (Berktek, C&M) or equivalent
connector, plug type:	2 row, 50 pin, shielded tab connectors AMP plug part number 749111-4 or equivalent AMP shell part number 749193-2 or equivalent
connector, receptacle type:	2 row, 50 pin, receptical header with rails and latch blocks. AMP part number 749075-5, 749903-5 or equivalent

HSSI CONNECTOR PINOUT

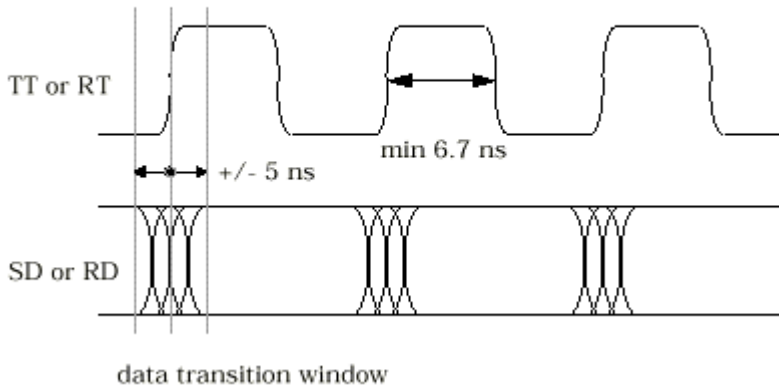
Signal Name		Direction DTE - DCE	Pin # (+side)	Pin # (-side)
SG	Signal Ground	---	1	26
RT	Receive Timing	<--	2	27
CA	DCE Available	<--	3	28
RD	Receive Data	<--	4	29
LC	Loopback circuit C	<--	5	30
ST	Send Timing	<--	6	31
SG	Signal Ground	---	7	32
TA	DTE Available	-->	8	33
TT	Terminal Timing	-->	9	34
LA	Loopback circuit A	-->	10	35
SD	Send Data	-->	11	36
LB	Loopback circuit B	-->	12	37
SG	Signal Ground	---	13	38
	5 ancillary to DCE (reserved)	-->	14 - 18	39 - 43
SG	Signal Ground	---	19	44
	4 ancillary from DCE (reserved)	<--	20 - 23	45 - 48
TM	Test Mode	<--	24	49

Pin pairs 5&30, 14&30 to 18&43, and 20&45 to 23&48 are reserved for future use. To allow future backward compatibility, no signals or receivers of any kind should be connected to these pins.

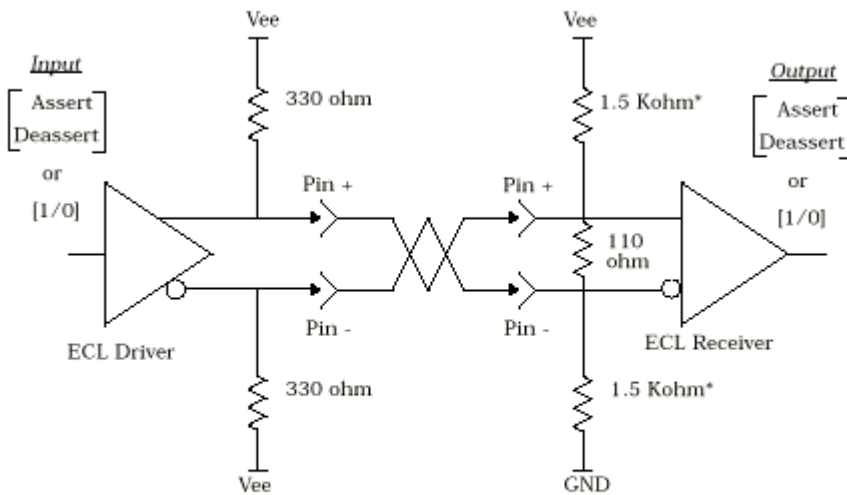
부록 A: 타이밍 다이어그램



Destination Timing



부록 B: 차등 회로 표기 규칙



* optional

부록 C: 소음 내성

이 부록에서는 이 인터페이스의 소음 내성을 계산합니다. 10KHz ECL에 대해 지정된 일반 150mV의 노이즈 내성은 차등 입력이 내부 ECL 바이어스 V_{bb} 를 사용하지 않으므로 여기에 적용할 수 없습니다.

10H115 및 10H116 차등 라인 수신기의 공통 모드(NMcm) 및 차등 모드(NMdiff) 노이즈 여백은 다음과 같습니다.

-
-

$$\begin{aligned}
 \text{NMcm+} &= V_{\text{cm_max}} - V_{\text{oh_max}} \\
 &= -0.50 \text{ Vdc} - (-0.81 \text{ Vdc}) \\
 &= 310 \text{ mVdc}
 \end{aligned}$$

$$\begin{aligned}
NM_{cm-} &= Vol_{min} - V_{cm_min} \\
&= -1.95 \text{ Vdc} - (-2.85 \text{ Vdc}) \\
&= 900 \text{ mVdc}
\end{aligned}$$

$$\begin{aligned}
NM_{diff} &= Vod_{min} * length \\
&\quad * attenuation/length \\
&\quad - Vid_{min} \\
&= 590 \text{ mv} \\
&\quad / [10^{((50 \text{ ft} * .085 \text{ dB/ft})/20)}] \\
&\quad - 150 \text{ mv} \\
&= 361 \text{ mv}
\end{aligned}$$

$$\begin{aligned}
&\text{in dB:} \\
&= 20 \log [(361+150)/150] \\
&= 10.6 \text{ dB}
\end{aligned}$$

•

전압은 섭씨 25도이다. V_{cm_max} 가 $V_{ih} = -0.4V$ 의 채도 지점 아래에 100mv로 선택되었습니다.

10H125 차등 리시버는 +5Vdc 공급 장치를 가지며 입력 시 더 큰 양의 소진을 처리할 수 있습니다. 10H125의 노이즈 여백 성능은 다음과 같습니다.

•
•

$$\begin{aligned}
NM_{cm+} &= V_{cm_max} - V_{oh_max} \\
&= 1.19 \text{ Vdc} - (-0.81 \text{ Vdc}) \\
&= 2000 \text{ mVdc}
\end{aligned}$$

•

NM_{cm} 및 NM_{diff} 는 모든 부품에 대해 동일합니다. 모든 수신기를 사용할 수 있도록 하려면 수신기의 최악의 일반 모드 노이즈가 310mVdc로 제한되어야 합니다.

적용된 차등 전압과 상관없이 수신기의 입력에 적용할 수 있는 절대 전압의 최대 범위로 공통 모드 범위 V_{cm_max} 에서 V_{cm_min} 으로 해석합니다. 신호 전압 범위인 V_{oh_max} 에서 V_{ol_min} 까지의 범위는 송신기가 생성하는 절대 전압의 최대 범위를 나타냅니다. 이 두 범위의 차이는 일반 모드 노이즈 여백인 NM_{cm+} 와 NM_{cm-} 을 나타내며, NM_{cm+} 는 추가 일반 모드 노이즈의 최대 유속이 되고, NM_{cm} 은 빼기 공통 모드 노이즈를 위한 최대 유속이 됩니다.

5개의 50피트 트위스트 쌍 기반을 사용하는 경우 공통 모드 노이즈 여백을 사용하는 데 필요한 접지 루프 전류의 양은 다음과 같습니다.

-
-

$$\begin{aligned} I_{\text{ground}} &= NMcm+ \\ & / (\text{cable_resistance}/5 \text{ pairs}) \\ & = (310 \text{ mVdc}) \\ & / (70 \text{ mohms/foot} \\ & \times 50 \text{ feet} / 10 \text{ wires}) \\ & = 0.9 \text{ amps dc} \end{aligned}$$

-

이 양의 전류는 정상적인 작동 조건에서 절대 없어야 합니다.

일반 모드 노이즈는 차등 노이즈 여백인 V_{df_app} 에 거의 영향을 미치지 않습니다. 대신 V_{df_app} 은 송신기에 있는 전원 레일의 한 쪽에서 발생하는 소음의 영향을 받습니다. ECL V_{cc} 는 PSRR(Power Supply Reject Ratio)이 0dB이고, ECL V_b 는 PSRR이 38dB입니다. 따라서 차등 노이즈를 최소화하기 위해 V_{cc} 는 접지되고 V_b 는 음수 전원 공급 장치에 연결됩니다.