

CoherentDSPコントローラでのEC-BITしきい値の計算

内容

[概要](#)

[前提条件](#)

[背景説明](#)

[要件](#)

[使用するコンポーネント](#)

[設定](#)

[ネットワーク図](#)

[コンフィギュレーション](#)

[確認](#)

概要

このドキュメントでは、coherentDSPコントローラでec-bitsしきい値を計算して設定する方法について説明します。

前提条件

シスコでは、オプティカルネットワーキングの用語とNetwork Convergence System 1000シリーズに精通していることを推奨しています。

背景説明

ecビットまたはエラー訂正ビットは、coherentDSPコントローラで受信された単一ビットエラーを表します。前方誤り訂正(FEC)は、表に示されている最大ビット誤り率(BER)のしきい値内でエラーのあるビットを自動的に訂正します。coherentDSPコントローラを搭載した他のシスコ機器については、BERしきい値に関する製品マニュアルを参照してください。

製品 ID	Modulation Type	FECタイプ	プレFEC BERしきい値
ONS-CFP2-WDM	QPSK(100G)	7 %ソフトな意思決定	1.0E-2 (2018年10月)
ONS-CFP2-WDM	QPSK(100G)	20%のSoftDecision	3.6E-2
ONS-CFP2-WDM	16-QAM (200 Gおよび250 G)	7 %ソフトな意思決定	0.75E-2
ONS-CFP2-WDM	16-QAM (200 Gおよび250 G)	20%のSoftDecision	2.4E-2
NCS1K4-1.2T-K9	all	15 %のSoftDecision	2.0E-2 (2018年10月)

NCS1K4-1.2T-K9	all	27 %のSoftDecision	3.75E-2
----------------	-----	-------------------	---------

出典

表4. <https://www.cisco.com/c/en/us/products/collateral/optical-networking/network-convergence-system-1000...>

表6 <https://www.cisco.com/c/en/us/products/collateral/optical-networking/network-convergence-system-1000...>

Maximum Bit Error Ratio (BER ; 最大ビットエラー率) を超えるエラービットは訂正されず、Post-FECエラーとして増加します。設定に応じて、Post-FECエラーがクライアントに渡されるか、クライアントポートのスケルチが発生する可能性があります。

Squelchは、トランクエラーの間、クライアントインターフェイスからの送信を無効にします。ec-bitsしきい値を設定すると、Post-FECエラーが増加する前に信号劣化を予防的に検出できます。

この設定は、未修正の単語のバーストを予測したり、バーストから保護したりするものではありません。

show controller coherentDSP 0/0/0/xを使用して、coherentDSPコントローラの現在のBERを表示できます。

```
RP/0/RP0/CPU0:NCS1002_1# show controller coherentDSP 0/0/0/5
Tue Jul 18 14:54:19.399 UTC
```

```
Port : CoherentDSP 0/0/0/5
Controller State : Up
Inherited Secondary State : Normal
Configured Secondary State : Normal
Derived State : In Service
Loopback mode : None
BER Thresholds : SF = 1.0E-5 SD = 1.0E-7
Performance Monitoring : Enable
```

```
Alarm Information:
LOS = 6 LOF = 3 LOM = 1
OOF = 3 OOM = 4 AIS = 0
IAE = 0 BIAE = 0 SF_BER = 0
SD_BER = 0 BDI = 6 TIM = 0
FECMISMATCH = 0 FEC-UNC = 1
Detected Alarms : None
```

```
Bit Error Rate Information
PREFEC BER : 5.8E-03
POSTFEC BER : 0.0E+00
```

```
TTI :
Remote hostname : NCS1002_2
Remote interface : CoherentDSP 0/0/0/5
Remote IP addr : 0.0.0.0
```

```
FEC mode : Soft-Decision 20
```

AINS Soak : None
AINS Timer : 0h, 0m
AINS remaining time : 0 seconds

要件

この設定には、NCS1002やNCS1004などのcoherentDSPコントローラを搭載したデバイスが必要です。

使用するコンポーネント

この例では次の設定を使用しています。

- 200Gスライスモードで設定されたONS-CFP2-WDMプラグブルを搭載したXR 7.3.2上のNCS1002。
- 400G mxponderモードで設定されたNCS1K4-1.2T-K9を搭載したXR 7.9.1上のNCS1004。

このドキュメントの情報は、特定のラボ環境にあるデバイスに基づいて作成されました。このドキュメントで使用するすべてのデバイスは、クリアな（デフォルト）設定で作業を開始しています。本稼働中のネットワークでは、各コマンドによって起こる可能性がある影響を十分確認してください。

設定

30秒、15分、および24時間のパフォーマンスモニタリング(PM)間隔には、すべてec-bitsしきい値を設定できます。

1. 各PM間隔のcoherentDSPコントローラのビットレートを決定します。

トランクレートは、プラットフォームによってさまざまな場所に表示されます。NCS1002では、`show hw-module slice x`

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1002_1#
```

```
show hw-module slice 0
```

```
Tue Jul 18 15:42:17.725 UTC
```

```
Slice ID: 0
```

```
Status: Provisioned
```

```
Client Bitrate: 100
```

```
Trunk Bitrate: 200
```

```
DP FPGA FW Type: X100
```

```
DP FPGA FW Version: 01.01
```

```
HW Status: CURRENT
```

NCS1004は`show controller coherent 0/x/0/y`の下の帯域幅を提供します。

<#root>

RP/0/RP0/CPU0:NCS1004_71#

show controller coherentDSP 0/1/0/0

Tue Jul 18 12:10:59.777 CDT

Port : CoherentDSP 0/1/0/0
Controller State : Up
Inherited Secondary State : Normal
Configured Secondary State : Normal
Derived State : In Service
Loopback mode : None
BER Thresholds : SF = 1.0E-5 SD = 1.0E-7
Performance Monitoring : Enable
Bandwidth : 400.0Gb/s

Alarm Information:

LOS = 1 LOF = 1 LOM = 0
OOF = 1 OOM = 1 AIS = 0
IAE = 0 BIAE = 0 SF_BER = 0
SD_BER = 0 BDI = 0 TIM = 0
FECMISMATCH = 0 FEC-UNC = 0 FLEXO_GIDM = 0
FLEXO-MM = 0 FLEXO-LOM = 0 FLEXO-RDI = 0
FLEXO-LOF = 0
Detected Alarms : None

Bit Error Rate Information

PREFEC BER : 8.78E-04
POSTFEC BER : 0.00E+00
Q-Factor : 9.80 dB

Q-Margin : 4.80dB

Instantaneous Q-Margin : 4.50 dB

200 Gbpsのビットレートは、各PM間隔に対して次のビット数を示します。

- 30秒 : $2E11$ ビット/秒 * 30秒 = $6E12$ ビット
- 15分 : $2E11$ ビット/秒 * 60秒 * 15分 = $1.8E14$ ビット
- 24時間 : $2E11$ ビット/秒 * 60秒 * 60分 * 24時間 = $1.728E16$ ビット

400 Gbpsビットレートでは、次の2倍のレートが得られます。

- 30秒 : $4E11$ ビット/秒 * 30秒 = $1.2E13$ ビット
- 15分 : $4E11$ ビット/秒 * 60秒 * 15分 = $3.6E14$ ビット
- 24時間 : $4E11$ ビット/秒 * 60秒 * 60分 * 24時間 = $3.46E16$ ビット

2.エラー訂正ビットの1間隔あたりの最大許容しきい値を計算します。15分インターバルの間にこの手順を繰り返します。24時間のしきい値の有用性は限られているため、計算する必要はありません。

例1:20 %のSoftDecision(SD)FECを使用した200G信号では、テーブルからの最大プレFEC BERが $2.4E-2$ になります。

- 30秒 : $6E12$ ビット * $2.4E-2$ BER = $1.44E11$ ecビット = 144000000000 ecビット
- 15分 : $1.8E14$ ビット * $2.4E-2$ BER = $4.32E12$ ecビット = 4320000000000 ecビット

例2:27 %のSD FECを使用する400G信号の最大プレFEC BER許容値は $3.75E-2$ です。

- 30秒 : $1.2E13$ ビット * $3.75E-2$ = $4.5E11$ = 450000000000 ecビット
- 15分 : $3.6E14$ ビット * $3.75E-2$ = $1.35E13$ = 13500000000000 ecビット

一般に、現在のBERと最大許容値の間のecビットしきい値を設定します。

たとえば、400G CoherentDSPコントローラは、 $8.83E-4$ の平均BERを報告し、1回の30秒インターバルで合計10596000000ビットのエラーが発生したとします。

show loggingで不要なしきい値超過アラート(TCA)を回避するには、しきい値をこの値より大きい値に設定します。

この例では、エラーが発生したビットの最大許容値の約20 %内にしきい値を設定します。

3. coherentDSPコントローラでec-bitsしきい値を設定します。

例1:20 %のSoftDecision FECを使用した200 GトランクレータのNCS1002。

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1002_1#
```

```
configure
```

```
Tue Jul 18 17:22:14.088 UTC
```

```
RP/0/RP0/CPU0:NCS1002_1(config)#
```

```
controller coherentDSP 0/0/0/5
```

```
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
```

```
pm 30-sec fec threshold ec-bits 115200000000
```

```
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
```

```
pm 15-min fec threshold ec-bits 345600000000
```

```
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
```

```
commit
```

例2:27 %のSoftDecision FECを備えた400G mxponderモードを使用するNCS1K4-1.2T-K9を搭載したNCS1004。

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1004_1#
```

```
configure
```

```
Tue Jul 18 11:52:17.915 CDT
```

```
RP/0/RP0/CPU0:NCS1004_1(config)#
controller coherentDSP 0/1/0/0
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
pm 30-sec fec threshold ec-bits 360000000000
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
pm 15-min fec threshold ec-bits 10800000000000
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
commit
```

遠端デバイスを含む、サービス中のすべてのcoherentDSPコントローラに対して、これらの手順を繰り返します。

ネットワーク図

```
NCS1002_1 0/0/0/5 <----> 0/0/0/5 NCS1002_2
NCS1004_1 0/1/0/0 <----> 0/1/0/0 NCS1004_1
```

コンフィギュレーション

ECビットのすべてのTCAのレポートを無効にするには、次のコマンドを使用します。

```
<#root>
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
pm 30-sec fec report ec-bits disable
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
pm 15-min fec report ec-bits disable
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
pm 24-hour fec report ec-bits disable
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
commit
```

確認

show run controller coherentDSP 0/x/0/yを使用して、変更が有効になったことを確認します。

```
<#root>
```

RP/0/RP0/CPU0:NCS1002_1#

show run controller coherentDSP 0/0/0/5

Tue Jul 18 17:47:03.392 UTC

controller CoherentDSP0/0/0/5

pm 15-min fec threshold ec-bits 380000000000

pm 30-sec fec threshold ec-bits 130000000000

!

<#root>

RP/0/RP0/CPU0:NCS1004_1#

show run controller coherentDSP 0/1/0/0

Tue Jul 18 12:39:46.782 CDT

controller CoherentDSP0/1/0/0

pm 15-min fec threshold ec-bits 1200000000000

pm 30-sec fec threshold ec-bits 400000000000

!

翻訳について

シスコは世界中のユーザにそれぞれの言語でサポート コンテンツを提供するために、機械と人による翻訳を組み合わせて、本ドキュメントを翻訳しています。ただし、最高度の機械翻訳であっても、専門家による翻訳のような正確性は確保されません。シスコは、これら翻訳の正確性について法的責任を負いません。原典である英語版（リンクからアクセス可能）もあわせて参照することを推奨します。