

# Modifications du tampon d'entrée F2/F2e du Nexus 7000 pour le multisauf FCoE sur longue distance

## Contenu

[Introduction](#)

[Problème](#)

[Solution](#)

[Discussions connexes de la communauté d'assistance Cisco](#)

## Introduction

L'objectif de ce document est de montrer comment modifier les tampons d'entrée sur les modules Cisco Nexus 7000 (N7k) Cisco Nexus 7000 48 ports 1 et 10 Gigabit Ethernet F2 (F2) et Cisco Nexus 7000 Enhanced F2-Series 48 ports Fibre 1 et 10 Gigabit Ethernet Module F2F (F) e) cartes de ligne pour la voie virtuelle 3 (VL3).

En outre, vous verrez la capacité de mise en mémoire tampon d'entrée que vous gagnez pour VL3 après avoir modifié ces valeurs.

## Problème

L'utilisation de connexions à sauts multiples Fibre Channel over Ethernet (FCoE) entre les data centers sur des distances supérieures à 2 kilomètres peut entraîner des pertes d'entrée. Par défaut, les cartes de ligne F2/F2e ont 0 pages dans la mémoire tampon de latence pour mettre les paquets en file d'attente après l'envoi d'une pause, ce qui entraînera des pertes d'entrée sur les interfaces multisaufs FCoE longue distance.

Le tampon de latence est défini comme suit :

$PL\_STOP - HWM (PL\_Pause) = LB$  (tampon de latence)

Vous remarquerez que les valeurs mentionnées ci-dessus sont affichées sous forme de pages. Chaque page fait environ 384 octets.

Notez ci-dessous la capacité de mémoire tampon d'entrée de VL3 avec la stratégie QoS FCoE par défaut :

EX

```
module-10# show hardware internal mac port 1 qos configuration | begin IB | end EB
IB
Port page limit : 3584 (1376256 Bytes)
VL# HWM pages(bytes) LWM pages(bytes) Used PL_STOP(HWM & LWM) SPAN
pages THR
```

```

0    1107 ( 425088)  1035 ( 397440)  0    1107  1035  100
1      2 (   768)    1 (   384)  0      2    1    1
2      2 (   768)    1 (   384)  0      2    1    1
3    1053 ( 404352)  1029 ( 395136)  0    1053  1029  100
4    1107 ( 425088)  1083 ( 415872)  0    1107  1083  100
5    231 (  88704)   159 (  61056)  0    231   159   57
6      2 (   768)    1 (   384)  0      2    1    1
7      2 (   768)    1 (   384)  0      2    1    1

```

Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)

DWRR honor UC = FALSE

Leak Lo weight = 0xd8, enabled = FALSE

EB

PL\_STOP et High Water Mark (HWM) ont la même valeur. Ici, vous pouvez voir que le tampon de latence a 0 pages par défaut. Pour prendre en charge le FCoE longue distance, ces valeurs doivent être modifiées.

## Solution

Vous devez d'abord dupliquer la carte de stratégie de qualité de service (QoS) par défaut 4q-7e-in-policy :

```

Switch(config)# qos copy policy-map type queuing ?
*** No matching command found in current mode, matching in (exec) mode ***
  default-4q-7e-in-policy  Default 7-ethernet input queuing policy
  default-4q-7e-out-policy Default 7-ethernet output queuing policy

```

```
Switch(config)# qos copy policy-map type queuing default-4q-7e-in-policy prefix 7I_
```

Vous trouverez ci-dessous la quantité d'octets allouée au tampon de latence de VL3, après avoir modifié les stratégies de service.

Note: Vous ne verrez pas de tampon de latence tant que vous n'allouez pas au moins 60 % de la limite de file d'attente à la stratégie « ndrop ».

Les politiques seront modifiées par incréments de 10, jusqu'à 99 %

```
60/40 ingress buffer allocation
```

```
=====
```

```

policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 40
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 60

```

```

interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in

```

```
module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
```

IB

Port page limit : 3584 (1376256 Bytes)

VL#	HWM pages(bytes)	LWM pages(bytes)	Used pages	PL_STOP(HWM & LWM)	SPAN	THR
0	624 ( 239616)	576 ( 221184)	0	624 576	100	
1	2 ( 768)	1 ( 384)	0	2 1	1	
2	624 ( 239616)	576 ( 221184)	0	624 576	100	

```

3    1913 ( 734592)   1889 ( 725376)    0    2126  1889   100
4      2 (    768)       1 (    384)       0      2    1     1
5    124 (  47616)      52 (  19968)     0    124   52    31
6      2 (    768)       1 (    384)       0      2    1     1
7      2 (    768)       1 (    384)       0      2    1     1
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
DWRR honor UC = FALSE
Leak Lo weight = 0xd8, enabled = FALSE
EB

```

60/40 allouera 81 792 octets à la mémoire tampon de latence vl3.

PL\_STOP - HWM \* 384 octets  
2126 - 1913 = 213 pages \* 384 = 81792 octets

```

70/30 ingress buffer allocation
=====
policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 30
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 70

interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in

module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
IB
Port page limit : 3584 (1376256 Bytes)
VL#  HWM pages(bytes)  LWM pages(bytes)  Used PL_STOP(HWM & LWM)  SPAN
                                pages                                THR
0     463 ( 177792)    415 ( 159360)    0     463   415   100
1       2 (    768)     1 (    384)     0      2    1    1
2     463 ( 177792)    415 ( 159360)    0     463   415   100
3    1987 ( 763008)   1963 ( 753792)    0    2484 1963   100
4       2 (    768)     1 (    384)     0      2    1    1
5      88 (  33792)    16 (   6144)     0     88   16   22
6       2 (    768)     1 (    384)     0      2    1    1
7       2 (    768)     1 (    384)     0      2    1    1
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
DWRR honor UC = FALSE
Leak Lo weight = 0xd8, enabled = FALSE
EB

```

70/30 alloue 1 90 848 octets à la mémoire tampon de latence VL3.

```

policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 20
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 80

interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in

```

```

module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
IB
Port page limit : 3584 (1376256 Bytes)
VL#  HWM pages(bytes)  LWM pages(bytes)  Used PL_STOP(HWM & LWM)  SPAN
                                pages                                THR
  0   302 ( 115968)    254 (  97536)     0      302    254    75
  1     2 (    768)     1 (    384)     0        2     1    1
  2   302 ( 115968)    254 (  97536)     0      302    254    75
  3  1875 ( 720000)  1851 ( 710784)   0    2841  1851   100
  4     2 (    768)     1 (    384)     0        2     1    1
  5    52 (  19968)    46 (  17664)     0       52    46   13
  6     2 (    768)     1 (    384)     0        2     1    1
  7     2 (    768)     1 (    384)     0        2     1    1
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
DWRR honor UC = FALSE
Leak Lo weight = 0xd8, enabled = FALSE
EB
80/20 alloue 370944 octets à la mémoire tampon de latence VL3.

```

```

policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 10
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 90

```

```

interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in

```

```

module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
IB
Port page limit : 3584 (1376256 Bytes)
VL#  HWM pages(bytes)  LWM pages(bytes)  Used PL_STOP(HWM & LWM)  SPAN
                                pages                                THR
  0   141 (  54144)    93 (  35712)     0      141    93    35
  1     2 (    768)     1 (    384)     0        2     1    1
  2   141 (  54144)    93 (  35712)     0      141    93    35
  3  1055 ( 405120)  1031 ( 395904)   0    3199  1031   100
  4     2 (    768)     1 (    384)     0        2     1    1
  5    16 (   6144)    10 (   3840)     0       16    10    4
  6     2 (    768)     1 (    384)     0        2     1    1
  7     2 (    768)     1 (    384)     0        2     1    1
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
DWRR honor UC = FALSE
Leak Lo weight = 0xd8, enabled = FALSE
EB
90/10 alloue 823296 octets à la mémoire tampon de latence VL3

```

```

policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 1
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 99

```

```
interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in
```

```
module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
IB
```

```
Port page limit : 3584 (1376256 Bytes)
```

VL#	HWM pages(bytes)	LWM pages(bytes)	Used pages	PL_STOP(HWM & LWM)	SPAN	THR
0	15 ( 5760)	9 ( 3456)	0	15	9	3
1	2 ( 768)	1 ( 384)	0	2	1	1
2	15 ( 5760)	9 ( 3456)	0	15	9	3
3	1161 ( 445824)	1137 ( 436608)	0	3521	1137	100
4	2 ( 768)	1 ( 384)	0	2	1	1
5	3 ( 1152)	0 ( 0)	0	3	0	1
6	2 ( 768)	1 ( 384)	0	2	1	1
7	2 ( 768)	1 ( 384)	0	2	1	1

```
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
```

```
DWRR honor UC = FALSE
```

```
Leak Lo weight = 0xd8, enabled = FALSE
```

```
EB
```

99/1 alloue 906240 octets à la mémoire tampon de latence VL3

Note: Chaque base clipper a une capacité de mémoire tampon de 6 Mo. Il y a 4 ports par compresseur, donc cela équivaut à ~1,5 Mo de capacité tampon par port. Avec 99/1, vous verrez qu'environ 9,9 Mo sont alloués à la mémoire tampon de latence VL3 et le reste est utilisé par HWM pour chaque VL (majorité à VL3). Lors de l'ajout de chaque VL HWM avec l'LB de VL3, vous verrez qu'il équivaut à ~1,35 Mo de capacité de mémoire tampon.