

# Calcul des seuils EC-BIT sur les contrôleurs DSP cohérents

## Table des matières

[Introduction](#)

[Conditions préalables](#)

[Informations générales](#)

[Exigences](#)

[Composants utilisés](#)

[Configurer](#)

[Diagramme du réseau](#)

[Configurations](#)

[Vérifier](#)

## Introduction

Ce document décrit comment calculer et configurer des seuils de bits CE sur des contrôleurs DSP cohérents.

## Conditions préalables

Cisco recommande de se familiariser avec la terminologie des réseaux optiques et avec la gamme Network Convergence System 1000.

## Informations générales

Un bit CE ou un bit corrigé d'erreur représente une erreur de bit unique reçue sur un contrôleur DSP cohérent. La fonction de correction d'erreurs sans voie de retour (FEC) corrige automatiquement les bits en erreur dans les limites du seuil BER (Bit Error Ratio) maximum indiqué dans le tableau. Pour les autres équipements Cisco avec contrôleurs DSP cohérents, reportez-vous à la documentation du produit pour connaître le seuil BER.

ID de produit	Type de modulation	Type FEC	Seuil BER pré-FEC
ONS-CFP2-WDM	QPSK (100 G)	7 % décision logicielle	1,0E-2
ONS-CFP2-WDM	QPSK (100 G)	20 % SoftDecision	3,6E-2
ONS-CFP2-WDM	16-QAM (200 G ET 250 G)	7 % décision logicielle	0,75E-2
ONS-CFP2-WDM	16-QAM (200 G ET 250 G)	20 % SoftDecision	2,4E-2

NCS1K4-1.2T-K9	tout	15 % SoftDecision	2,0E-2
NCS1K4-1.2T-K9	tout	27 % Décision logicielle	3,75E-2

Source

Tableau 4. <https://www.cisco.com/c/en/us/products/collateral/optical-networking/network-convergence-system-1000...>

Tableau 6. <https://www.cisco.com/c/en/us/products/collateral/optical-networking/network-convergence-system-1000...>

Les bits en erreur qui dépassent le taux d'erreur binaire (BER) maximal ne sont pas corrigés et s'incrémentent en tant qu'erreurs post-FEC. Selon la configuration, les erreurs post-FEC peuvent être transmises au client ou entraîner un blocage du port client.

Scquelch désactive la transmission à partir des interfaces client pendant la durée de l'erreur de liaison. La configuration du seuil de bits CE permet une détection proactive de la dégradation du signal avant l'incrémentation des erreurs Post-FEC.

Cette configuration ne prédit pas ou ne protège pas contre les rafales de mots non corrigés.

Vous pouvez afficher le BER actuel d'un contrôleur cohérentDSP avec show controller cohérentDSP 0/0/0/x.

```
RP/0/RP0/CPU0:NCS1002_1# show controller coherentDSP 0/0/0/5
Tue Jul 18 14:54:19.399 UTC
```

```
Port : CoherentDSP 0/0/0/5
Controller State : Up
Inherited Secondary State : Normal
Configured Secondary State : Normal
Derived State : In Service
Loopback mode : None
BER Thresholds : SF = 1.0E-5 SD = 1.0E-7
Performance Monitoring : Enable
```

```
Alarm Information:
LOS = 6 LOF = 3 LOM = 1
OOF = 3 OOM = 4 AIS = 0
IAE = 0 BIAE = 0 SF_BER = 0
SD_BER = 0 BDI = 6 TIM = 0
FECMISMATCH = 0 FEC-UNC = 1
Detected Alarms : None
```

```
Bit Error Rate Information
PREFEC BER : 5.8E-03
POSTFEC BER : 0.0E+00
```

```
TTI :
Remote hostname : NCS1002_2
Remote interface : CoherentDSP 0/0/0/5
Remote IP addr : 0.0.0.0
```

```
FEC mode : Soft-Decision 20
```

AINS Soak : None  
AINS Timer : 0h, 0m  
AINS remaining time : 0 seconds

## Exigences

Cette configuration nécessite un périphérique avec des contrôleurs DSP cohérents tels que le NCS1002 ou le NCS1004.

## Composants utilisés

Cet exemple utilise :

- NCS1002 sur XR 7.3.2 avec modules enfichables ONS-CFP2-WDM configurés en mode tranche 200 G.
- NCS1004 sur XR 7.9.1 avec le NCS1K4-1.2T-K9 configuré en mode Mxponder 400G.

The information in this document was created from the devices in a specific lab environment. All of the devices used in this document started with a cleared (default) configuration. Si votre réseau est en ligne, assurez-vous de bien comprendre l'incidence possible des commandes.

## Configurer

Les intervalles de surveillance des performances (PM) de 30 secondes, 15 minutes et 24 heures peuvent tous comporter des seuils de bits CE.

1. Déterminez le débit binaire du contrôleur DSP cohérent pour chaque intervalle PM.

Le taux de liaison apparaît à différents emplacements en fonction de la plate-forme. Le NCS1002 répertorie le taux de liaison sous `show hw-module slice x`

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1002_1#
```

```
show hw-module slice 0
```

```
Tue Jul 18 15:42:17.725 UTC
```

```
Slice ID: 0
```

```
Status: Provisioned
```

```
Client Bitrate: 100
```

```
Trunk Bitrate: 200
```

```
DP FPGA FW Type: X100
```

```
DP FPGA FW Version: 01.01
```

```
HW Status: CURRENT
```

Le NCS1004 fournit la bande passante sous `show controller cohérent 0/x/0/y`.

<#root>

RP/0/RP0/CPU0:NCS1004\_71#

show controller coherentDSP 0/1/0/0

Tue Jul 18 12:10:59.777 CDT

Port : CoherentDSP 0/1/0/0  
Controller State : Up  
Inherited Secondary State : Normal  
Configured Secondary State : Normal  
Derived State : In Service  
Loopback mode : None  
BER Thresholds : SF = 1.0E-5 SD = 1.0E-7  
Performance Monitoring : Enable  
Bandwidth : 400.0Gb/s

Alarm Information:

LOS = 1 LOF = 1 LOM = 0  
OOF = 1 OOM = 1 AIS = 0  
IAE = 0 BIAE = 0 SF\_BER = 0  
SD\_BER = 0 BDI = 0 TIM = 0  
FECMISMATCH = 0 FEC-UNC = 0 FLEXO\_GIDM = 0  
FLEXO-MM = 0 FLEXO-LOM = 0 FLEXO-RDI = 0  
FLEXO-LOF = 0  
Detected Alarms : None

Bit Error Rate Information

PREFEC BER : 8.78E-04  
POSTFEC BER : 0.00E+00  
Q-Factor : 9.80 dB

Q-Margin : 4.80dB

Instantaneous Q-Margin : 4.50 dB

Un débit binaire de 200 Gbits/s donne ce nombre de bits pour chaque intervalle PM.

- 30 secondes :  $2E11 \text{ bits/seconde} * 30 \text{ secondes} = 6E12 \text{ bits}$
- 15 min :  $2E11 \text{ bits/seconde} * 60 \text{ secondes} * 15 \text{ minutes} = 1,8E14 \text{ bits}$
- 24 heures :  $2E11 \text{ bits/seconde} * 60 \text{ secondes} * 60 \text{ minutes} * 24 \text{ heures} = 1,728E16 \text{ bits}$

Un débit binaire de 400 Gbit/s donne le double de ces débits :

- 30 secondes :  $4E11 \text{ bits/seconde} * 30 \text{ secondes} = 1,2E13 \text{ bits}$
- 15 min :  $4E11 \text{ bits/seconde} * 60 \text{ secondes} * 15 \text{ minutes} = 3,6E14 \text{ bits}$
- 24 heures :  $4E11 \text{ bits/seconde} * 60 \text{ secondes} * 60 \text{ minutes} * 24 \text{ heures} = 3,46E16 \text{ bits}$

2. Calculez le seuil maximal admissible de bits corrigés des erreurs par intervalle. Répétez ces étapes pour l'intervalle de 15 minutes. Comme le seuil de 24 heures a une utilité limitée, vous n'avez pas besoin de le calculer.

Exemple 1 : un signal 200G utilisant un FEC SoftDecision (SD) à 20 % a un BER pré-FEC maximum de  $2,4E-2$  dans le tableau.

- 30 s :  $6E12 \text{ bits} * 2.4E-2 \text{ BER} = 1.44E11 \text{ ec-bits} = 144000000000 \text{ ec-bits}$
- 15 min :  $1,8E14 \text{ bits} * 2,4E-2 \text{ BER} = 4,32E12 \text{ ec-bits} = 4320000000000 \text{ ec-bits}$

Exemple 2 : un signal 400G utilisant un FEC SD à 27 % présente une tolérance BER maximale avant FEC de  $3,75E-2$ .

- 30 s :  $1,2E13 \text{ bits} * 3,75E-2 = 4,5E11 = 450000000000 \text{ ec-bits}$
- 15 min :  $3,6E14 \text{ bits} * 3,75E-2 = 1,35E13 = 13500000000000 \text{ ec-bits}$

En général, configurez le seuil de bit CE entre le BER actuel et la tolérance maximale.

Par exemple, un contrôleur DSP cohérent 400G peut signaler un BER moyen de  $8,83E-4$ , ce qui donne un total de 10596000000 bits en erreur dans un intervalle de 30 secondes.

Pour éviter les alertes de dépassement de seuil (TCA) inutiles dans show logging, définissez le seuil supérieur à cette valeur.

Cet exemple définit le seuil à environ 20 % de la tolérance maximale des bits en erreur.

3. Configurez le seuil ec-bits sur le contrôleur cohérentDSP.

Exemple 1 : NCS1002 avec débit trunk 200G utilisant 20 % SoftDecision FEC.

```
<#root>
RP/0/RP0/CPU0:NCS1002_1#
configure
Tue Jul 18 17:22:14.088 UTC
RP/0/RP0/CPU0:NCS1002_1(config)#
controller coherentDSP 0/0/0/5
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
pm 30-sec fec threshold ec-bits 115200000000
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
pm 15-min fec threshold ec-bits 345600000000
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
commit
```

Exemple 2 : NCS1004 avec NCS1K4-1.2T-K9 en mode mélangeur 400G avec 27 % de FEC SoftDecision.

```
<#root>
RP/0/RP0/CPU0:NCS1004_1#
configure
```

```
Tue Jul 18 11:52:17.915 CDT
RP/0/RP0/CPU0:NCS1004_1(config)#
controller coherentDSP 0/1/0/0
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
pm 30-sec fec threshold ec-bits 360000000000
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
pm 15-min fec threshold ec-bits 10800000000000
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
commit
```

Répétez ces étapes pour tous les contrôleurs DSP cohérents en service, y compris les périphériques distants.

## Diagramme du réseau

```
NCS1002_1 0/0/0/5 <----> 0/0/0/5 NCS1002_2
NCS1004_1 0/1/0/0 <----> 0/1/0/0 NCS1004_1
```

## Configurations

Pour désactiver le rapport de tous les TCA pour les bits ec, utilisez les commandes suivantes :

```
<#root>
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
  pm 30-sec fec report ec-bits disable
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
  pm 15-min fec report ec-bits disable
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
  pm 24-hour fec report ec-bits disable
RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#
commit
```

## Vérifier

Vérifiez que les modifications ont pris effet avec `show run controller coherentDSP 0/x/0/y`.

```
<#root>
```

RP/0/RP0/CPU0:NCS1002\_1#

show run controller coherentDSP 0/0/0/5

Tue Jul 18 17:47:03.392 UTC

controller CoherentDSP0/0/0/5

pm 15-min fec threshold ec-bits 380000000000

pm 30-sec fec threshold ec-bits 130000000000

!

<#root>

RP/0/RP0/CPU0:NCS1004\_1#

show run controller coherentDSP 0/1/0/0

Tue Jul 18 12:39:46.782 CDT

controller CoherentDSP0/1/0/0

pm 15-min fec threshold ec-bits 1200000000000

pm 30-sec fec threshold ec-bits 400000000000

!

À propos de cette traduction

Cisco a traduit ce document en traduction automatisée vérifiée par une personne dans le cadre d'un service mondial permettant à nos utilisateurs d'obtenir le contenu d'assistance dans leur propre langue.

Il convient cependant de noter que même la meilleure traduction automatisée ne sera pas aussi précise que celle fournie par un traducteur professionnel.