

# Modificaciones del búfer de entrada F2/F2e de Nexus 7000 para FCoE MultiHop a larga distancia

## Contenido

[Introducción](#)

[Problema](#)

[Solución](#)

[Conversaciones relacionadas de la comunidad de soporte de Cisco](#)

## Introducción

El propósito de este documento es mostrar cómo modificar los búferes de ingreso en el Cisco Nexus 7000 (N7k) Cisco Nexus 7000 48-Port 1 y 10 Gigabit Ethernet F2-Series Module (F2) y Cisco Nexus 7000 Enhanced F2-Series 48-Port Fiber 1 y 10 Gigabit Ethernet Module (F2e) tarjetas de línea para Virtual Lane 3 (VL3).

Además, verá la cantidad de capacidad de almacenamiento en búfer de ingreso que obtiene para VL3 después de modificar estos valores.

## Problema

El uso de conexiones multisalto de canal de fibra sobre Ethernet (FCoE) entre Data Centers a distancias superiores a 2 kilómetros puede dar lugar a caídas de entrada. De forma predeterminada, las tarjetas de línea F2/F2e tienen 0 páginas en el búfer de latencia para poner en cola los paquetes después de enviar la pausa y esto dará lugar a caídas de entrada en interfaces multisalto FCoE de larga distancia.

El búfer de latencia se define de la siguiente manera:

$PL\_STOP - HWM (PL\_Pause) = LB$  (búfer de latencia)

Observará que los valores mencionados anteriormente se muestran como páginas. Cada página tiene aproximadamente 384 bytes.

Observe a continuación la capacidad del búfer de ingreso de VL3 con la política de QoS FCoE predeterminada:

EX

```
module-10# show hardware internal mac port 1 qos configuration | begin IB | end EB
IB
Port page limit : 3584 (1376256 Bytes)
VL# HWM pages(bytes) LWM pages(bytes) Used PL_STOP(HWM & LWM) SPAN
pages THR
```

```

0 1107 ( 425088) 1035 ( 397440) 0 1107 1035 100
1 2 ( 768) 1 ( 384) 0 2 1 1
2 2 ( 768) 1 ( 384) 0 2 1 1
3 1053 ( 404352) 1029 ( 395136) 0 1053 1029 100
4 1107 ( 425088) 1083 ( 415872) 0 1107 1083 100
5 231 ( 88704) 159 ( 61056) 0 231 159 57
6 2 ( 768) 1 ( 384) 0 2 1 1
7 2 ( 768) 1 ( 384) 0 2 1 1

```

Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)

DWRR honor UC = FALSE

Leak Lo weight = 0xd8, enabled = FALSE

EB

PL\_STOP y High Water Mark (HWM) tienen el mismo valor. Aquí puede ver que el búfer de latencia tiene 0 páginas de forma predeterminada. Para admitir FCoE de larga distancia, estos valores deberán modificarse.

## Solución

En primer lugar, deberá duplicar el mapa de política de calidad de servicio (QoS) 'default-4q-7e-in-policy':

```

Switch(config)# qos copy policy-map type queuing ?
*** No matching command found in current mode, matching in (exec) mode ***
  default-4q-7e-in-policy  Default 7-ethernet input queuing policy
  default-4q-7e-out-policy Default 7-ethernet output queuing policy

```

```
Switch(config)# qos copy policy-map type queuing default-4q-7e-in-policy prefix 7I_
```

A continuación, verá la cantidad de bytes asignados al búfer de latencia de VL3, después de modificar las políticas de servicio.

Nota: No verá un búfer de latencia hasta que no asigne AL MENOS el 60% del límite de cola a la política de entrada.

Las políticas se modificarán en incrementos de hasta el 99%

```
60/40 ingress buffer allocation
```

```
=====
```

```

policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 40
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 60

```

```

interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in

```

```
module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
```

IB

Port page limit : 3584 (1376256 Bytes)

VL#	HWM pages(bytes)	LWM pages(bytes)	Used pages	PL_STOP(HWM & LWM)	SPAN	THR
0	624 ( 239616)	576 ( 221184)	0	624 576	100	
1	2 ( 768)	1 ( 384)	0	2 1	1	
2	624 ( 239616)	576 ( 221184)	0	624 576	100	

```

3    1913 ( 734592)   1889 ( 725376)    0    2126  1889   100
4      2 (    768)        1 (    384)       0      2    1    1
5     124 (  47616)       52 (  19968)     0     124   52   31
6      2 (    768)        1 (    384)       0      2    1    1
7      2 (    768)        1 (    384)       0      2    1    1
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
DWRR honor UC = FALSE
Leak Lo weight = 0xd8, enabled = FALSE
EB

```

60/40 asignará 81792 bytes al búfer de latencia vl3.

PL\_STOP - HWM \* 384 bytes  
2126 - 1913 = 213 páginas \* 384 = 81792 bytes

```

70/30 ingress buffer allocation
=====
policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 30
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 70

interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in

module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
IB
Port page limit : 3584 (1376256 Bytes)
VL#  HWM pages(bytes)  LWM pages(bytes)  Used PL_STOP(HWM & LWM)  SPAN
                                pages                                THR
0     463 ( 177792)    415 ( 159360)    0     463   415   100
1      2 (    768)     1 (    384)     0      2    1    1
2     463 ( 177792)    415 ( 159360)    0     463   415   100
3    1987 ( 763008)   1963 ( 753792)    0    2484 1963   100
4      2 (    768)     1 (    384)     0      2    1    1
5     88 (  33792)     16 (   6144)     0     88   16   22
6      2 (    768)     1 (    384)     0      2    1    1
7      2 (    768)     1 (    384)     0      2    1    1
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
DWRR honor UC = FALSE
Leak Lo weight = 0xd8, enabled = FALSE
EB

```

70/30 asigna 190848 bytes al búfer de latencia VL3.

```

policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 20
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 80

interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in

```

```

module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
IB
Port page limit : 3584 (1376256 Bytes)
VL#  HWM pages(bytes)  LWM pages(bytes)  Used PL_STOP(HWM & LWM)  SPAN
                                pages                                THR
  0   302 ( 115968)    254 (  97536)     0      302    254    75
  1     2 (    768)     1 (    384)     0        2     1     1
  2   302 ( 115968)    254 (  97536)     0      302    254    75
  3  1875 ( 720000)  1851 ( 710784)     0    2841  1851   100
  4     2 (    768)     1 (    384)     0        2     1     1
  5    52 (  19968)    46 (  17664)     0       52    46    13
  6     2 (    768)     1 (    384)     0        2     1     1
  7     2 (    768)     1 (    384)     0        2     1     1
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
DWRR honor UC = FALSE
Leak Lo weight = 0xd8, enabled = FALSE
EB

```

80/20 asigna 370944 bytes al búfer de latencia VL3.

```

policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 10
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 90

```

```

interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in

```

```

module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
IB
Port page limit : 3584 (1376256 Bytes)
VL#  HWM pages(bytes)  LWM pages(bytes)  Used PL_STOP(HWM & LWM)  SPAN
                                pages                                THR
  0   141 (  54144)    93 (  35712)     0      141    93    35
  1     2 (    768)     1 (    384)     0        2     1     1
  2   141 (  54144)    93 (  35712)     0      141    93    35
  3  1055 ( 405120)  1031 ( 395904)     0    3199  1031   100
  4     2 (    768)     1 (    384)     0        2     1     1
  5    16 (   6144)    10 (   3840)     0       16    10     4
  6     2 (    768)     1 (    384)     0        2     1     1
  7     2 (    768)     1 (    384)     0        2     1     1
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
DWRR honor UC = FALSE
Leak Lo weight = 0xd8, enabled = FALSE
EB

```

90/10 asigna 823296 bytes al búfer de latencia VL3

```

policy-map type queuing 7I_4q-7e-in
  class type queuing c-4q-7e-drop-in
    service-policy type queuing 7I_4q-7e-drop-in
    queue-limit percent 1
  class type queuing c-4q-7e-ndrop-in
    service-policy type queuing 7I_4q-7e-ndrop-in
    queue-limit percent 99

```

```
interface Ethernet2/5
  service-policy type queuing input 7I_4q-7e-in
```

```
module-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
IB
```

```
Port page limit : 3584 (1376256 Bytes)
```

VL#	HWM pages(bytes)	LWM pages(bytes)	Used pages	PL_STOP(HWM & LWM)	SPAN	THR
0	15 ( 5760)	9 ( 3456)	0	15	9	3
1	2 ( 768)	1 ( 384)	0	2	1	1
2	15 ( 5760)	9 ( 3456)	0	15	9	3
3	1161 ( 445824)	1137 ( 436608)	0	3521	1137	100
4	2 ( 768)	1 ( 384)	0	2	1	1
5	3 ( 1152)	0 ( 0)	0	3	0	1
6	2 ( 768)	1 ( 384)	0	2	1	1
7	2 ( 768)	1 ( 384)	0	2	1	1

```
Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)
```

```
DWRR honor UC = FALSE
```

```
Leak Lo weight = 0xd8, enabled = FALSE
```

```
EB
```

**99/1 asigna 906240 bytes al búfer de latencia VL3**

Nota: Cada clipper ASIC tiene 6 MB de capacidad de búfer. Hay 4 puertos por clipper, por lo tanto esto equivale a ~1,5 MB de capacidad de búfer por puerto. Con 99/1 verá que ~.9MB está asignado al búfer de latencia VL3 y el resto es utilizado por HWM para cada VL(la mayoría a VL3). Cuando añada cada VLs HWM con el LB de VL3 verá que equivale a ~1.35MB de capacidad del búfer.