

Calcular umbrales EC-BIT en controladores DSP coherentes

Contenido

[Introducción](#)

[Prerequisites](#)

[Antecedentes](#)

[Requirements](#)

[Componentes Utilizados](#)

[Configurar](#)

[Diagrama de la red](#)

[Configuraciones](#)

[Verificación](#)

Introducción

Este documento describe cómo calcular y configurar los umbrales de bits ec en los controladores DSP coherentes.

Prerequisites

Cisco recomienda familiarizarse con la terminología de redes ópticas y con Network Convergence System de la serie 1000.

Antecedentes

Un bit CE o un bit corregido por error representa un error de bit único recibido en un controlador DSP coherente. La corrección de errores de reenvío (FEC) corrige automáticamente los bits con errores dentro del umbral máximo de proporción de errores de bits (BER) que se muestra en la tabla. Para otros equipos de Cisco con controladores DSP coherentes, consulte la documentación del producto para el umbral BER.

ID del producto	Tipo de modulación	Tipo de FEC	Umbral BER anterior a FEC
ONS-CFP2-WDM	QPSK (100 G)	7% SoftDecision	1,0E-2
ONS-CFP2-WDM	QPSK (100 G)	20% SoftDecision	3,6E-2
ONS-CFP2-WDM	16-QAM (200 G Y 250 G)	7% SoftDecision	0,75E-2
ONS-CFP2-WDM	16-QAM (200 G Y 250 G)	20% SoftDecision	2.4E-2

NCS1K4-1.2T-K9	all	15% SoftDecision	2.0E-2
NCS1K4-1.2T-K9	all	27% SoftDecision	3,75E-2

Fuente

Tabla 4. <https://www.cisco.com/c/en/us/products/collateral/optical-networking/network-convergence-system-1000...>

Tabla 6. <https://www.cisco.com/c/en/us/products/collateral/optical-networking/network-convergence-system-1000...>

Los bits con errores que superan la tasa máxima de error de bits (BER) no se corrigen y se incrementan como errores posteriores a la FEC. Dependiendo de la configuración, los errores posteriores a la FEC pueden pasar al cliente o dar lugar a un silenciamiento del puerto del cliente.

Squelch inhabilita la transmisión desde las interfaces cliente mientras dure el error de trunk. La configuración del umbral de bits ec permite la detección proactiva de la degradación de la señal antes de que aumenten los errores Post-FEC.

Esta configuración no predice ni protege contra ráfagas de palabras no corregidas.

Puede ver el BER actual de un controlador DSP coherente con `show controller coherentDSP 0/0/0/x`.

```
RP/0/RP0/CPU0:NCS1002_1# show controller coherentDSP 0/0/0/5
Tue Jul 18 14:54:19.399 UTC
```

```
Port : CoherentDSP 0/0/0/5
Controller State : Up
Inherited Secondary State : Normal
Configured Secondary State : Normal
Derived State : In Service
Loopback mode : None
BER Thresholds : SF = 1.0E-5 SD = 1.0E-7
Performance Monitoring : Enable
```

```
Alarm Information:
LOS = 6 LOF = 3 LOM = 1
OOF = 3 OOM = 4 AIS = 0
IAE = 0 BIAE = 0 SF_BER = 0
SD_BER = 0 BDI = 6 TIM = 0
FECMISMATCH = 0 FEC-UNC = 1
Detected Alarms : None
```

```
Bit Error Rate Information
PREFEC BER : 5.8E-03
POSTFEC BER : 0.0E+00
```

```
TTI :
Remote hostname : NCS1002_2
Remote interface : CoherentDSP 0/0/0/5
Remote IP addr : 0.0.0.0
```

```
FEC mode : Soft-Decision 20
```

AINS Soak : None
AINS Timer : 0h, 0m
AINS remaining time : 0 seconds

Requirements

Esta configuración requiere un dispositivo con controladores DSP coherentes, como NCS1002 o NCS1004.

Componentes Utilizados

Este ejemplo utiliza:

- NCS1002 en XR 7.3.2 con ONS-CFP2-WDM conectables configurados en modo de división de 200 G.
- NCS1004 en XR 7.9.1 con NCS1K4-1.2T-K9 configurado en modo mxponder de 400 G.

La información que contiene este documento se creó a partir de los dispositivos en un ambiente de laboratorio específico. Todos los dispositivos que se utilizan en este documento se pusieron en funcionamiento con una configuración verificada (predeterminada). Si tiene una red en vivo, asegúrese de entender el posible impacto de cualquier comando.

Configurar

Los intervalos de supervisión del rendimiento (PM) de 30 segundos, 15 minutos y 24 horas pueden tener umbrales de bits ec.

1. Determine la velocidad de bits del controlador DSP coherente para cada intervalo PM.

La velocidad del enlace troncal aparece en varias ubicaciones dependiendo de la plataforma. El NCS1002 enumera la velocidad del trunk en show hw-module slice x

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1002_1#
```

```
show hw-module slice 0
```

```
Tue Jul 18 15:42:17.725 UTC
```

```
Slice ID: 0
```

```
Status: Provisioned
```

```
Client Bitrate: 100
```

```
Trunk Bitrate: 200
```

```
DP FPGA FW Type: X100
```

```
DP FPGA FW Version: 01.01
```

```
HW Status: CURRENT
```

NCS1004 proporciona el ancho de banda en show controller coherente 0/x/0/y.

<#root>

RP/0/RP0/CPU0:NCS1004_71#

show controller coherentDSP 0/1/0/0

Tue Jul 18 12:10:59.777 CDT

Port : CoherentDSP 0/1/0/0
Controller State : Up
Inherited Secondary State : Normal
Configured Secondary State : Normal
Derived State : In Service
Loopback mode : None
BER Thresholds : SF = 1.0E-5 SD = 1.0E-7
Performance Monitoring : Enable
Bandwidth : 400.0Gb/s

Alarm Information:

LOS = 1 LOF = 1 LOM = 0
OOF = 1 OOM = 1 AIS = 0
IAE = 0 BIAE = 0 SF_BER = 0
SD_BER = 0 BDI = 0 TIM = 0
FECMISMATCH = 0 FEC-UNC = 0 FLEXO_GIDM = 0
FLEXO-MM = 0 FLEXO-LOM = 0 FLEXO-RDI = 0
FLEXO-LOF = 0
Detected Alarms : None

Bit Error Rate Information

PREFEC BER : 8.78E-04
POSTFEC BER : 0.00E+00
Q-Factor : 9.80 dB

Q-Margin : 4.80dB

Instantaneous Q-Margin : 4.50 dB

Una velocidad de bits de 200 Gbps proporciona este número de bits para cada intervalo PM.

- 30 segundos: $2E11 \text{ bits/segundo} * 30 \text{ segundos} = 6E12 \text{ bits}$
- 15 minutos: $2E11 \text{ bits/segundo} * 60 \text{ segundos} * 15 \text{ minutos} = 1.8E14 \text{ bits}$
- 24 horas: $2E11 \text{ bits/segundo} * 60 \text{ segundos} * 60 \text{ minutos} * 24 \text{ horas} = 1.728E16 \text{ bits}$

Una velocidad de bits de 400 Gbps proporciona el doble de estas velocidades:

- 30 segundos: $4E11 \text{ bits/segundo} * 30 \text{ segundos} = 1.2E13 \text{ bits}$
- 15 minutos: $4E11 \text{ bits/segundo} * 60 \text{ segundos} * 15 \text{ minutos} = 3,6E14 \text{ bits}$
- 24 horas: $4E11 \text{ bits/segundo} * 60 \text{ segundos} * 60 \text{ minutos} * 24 \text{ horas} = 3,46E16 \text{ bits}$

2. Calcule el umbral máximo permitido de bits corregidos por error por intervalo. Repita estos pasos para el intervalo de 15 minutos. Dado que el umbral de 24 horas tiene una utilidad limitada, no es necesario calcularlo.

Ejemplo 1: una señal de 200 G con una FEC de decisión suave (SD) del 20% tiene un BER pre-FEC máximo de $2,4E-2$ de la tabla.

- 30 segundos: $6 \text{ bits E12} * 2.4\text{E-2 BER} = 1.44\text{E11 bits ec} = 144000000000 \text{ bits ec}$
- 15 minutos: $1,8 \text{ E14 bits} * 2,4 \text{ E-2 BER} = 4,32 \text{ E12 ec-bits} = 432000000000 \text{ ec-bits}$

Ejemplo 2: una señal de 400 G que utiliza un 27% de FEC de definición estándar tiene una tolerancia máxima de BER anterior a FEC de $3,75\text{E-2}$.

- 30 segundos: $1,2 \text{ E13 bits} * 3,75\text{E-2} = 4,5 \text{ E11} = 450000000000 \text{ bits CE}$
- 15 minutos: $3,6 \text{ E14 bits} * 3,75\text{E-2} = 1,35 \text{ E13} = 13500000000000 \text{ bits ec}$

En general, configure el umbral de bits ec entre el BER actual y la tolerancia máxima.

Por ejemplo, un controlador DSP coherente de 400 G podría generar un BER medio de $8,83\text{E-4}$, lo que daría un total de 10596000000 bits con errores en un intervalo de 30 segundos.

Para evitar que las alertas de traspaso de umbrales (TCA) innecesarias en show logging, establezca un umbral mayor que este valor.

Este ejemplo establece el umbral dentro de aproximadamente el 20% de la tolerancia máxima de los bits con errores.

3. Configure el umbral de bits ec en el controlador DSP coherente.

Ejemplo 1: NCS1002 con velocidad de línea troncal de 200 G con una FEC SoftDecision del 20%.

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1002_1#
```

```
configure
```

```
Tue Jul 18 17:22:14.088 UTC
```

```
RP/0/RP0/CPU0:NCS1002_1(config)#
```

```
controller coherentDSP 0/0/0/5
```

```
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
```

```
pm 30-sec fec threshold ec-bits 115200000000
```

```
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
```

```
pm 15-min fec threshold ec-bits 345600000000
```

```
RP/0/RP0/CPU0:NCS1002_1(config-CoDSP)#
```

```
commit
```

Ejemplo 2: NCS1004 con NCS1K4-1.2T-K9 que utiliza el modo de mxponder de 400 G con una FEC SoftDecision del 27%.

```
<#root>
```

```
RP/0/RP0/CPU0:NCS1004_1#
```

configure

Tue Jul 18 11:52:17.915 CDT
RP/0/RP0/CPU0:NCS1004_1(config)#

controller coherentDSP 0/1/0/0

RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#

pm 30-sec fec threshold ec-bits 360000000000

RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#

pm 15-min fec threshold ec-bits 10800000000000

RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#

commit

Repita estos pasos para todos los controladores DSP coherentes en servicio, incluidos los dispositivos extremos.

Diagrama de la red

NCS1002_1 0/0/0/5 <----> 0/0/0/5 NCS1002_2

NCS1004_1 0/1/0/0 <----> 0/1/0/0 NCS1004_1

Configuraciones

Para inhabilitar el informe de todas las TCA para los bits ec, utilice los comandos:

<#root>

RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#

pm 30-sec fec report ec-bits disable

RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#

pm 15-min fec report ec-bits disable

RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#

pm 24-hour fec report ec-bits disable

RP/0/RP0/CPU0:NCS1004_1(config-CoDSP)#

commit

Verificación

Verifique que los cambios hayan tenido efecto con `show run controller coherenteDSP 0/x/0/y`.

<#root>

RP/0/RP0/CPU0:NCS1002_1#

show run controller coherentDSP 0/0/0/5

Tue Jul 18 17:47:03.392 UTC

controller CoherentDSP0/0/0/5

pm 15-min fec threshold ec-bits 3800000000000

pm 30-sec fec threshold ec-bits 1300000000000

!

<#root>

RP/0/RP0/CPU0:NCS1004_1#

show run controller coherentDSP 0/1/0/0

Tue Jul 18 12:39:46.782 CDT

controller CoherentDSP0/1/0/0

pm 15-min fec threshold ec-bits 12000000000000

pm 30-sec fec threshold ec-bits 4000000000000

!

Acerca de esta traducción

Cisco ha traducido este documento combinando la traducción automática y los recursos humanos a fin de ofrecer a nuestros usuarios en todo el mundo contenido en su propio idioma.

Tenga en cuenta que incluso la mejor traducción automática podría no ser tan precisa como la proporcionada por un traductor profesional.

Cisco Systems, Inc. no asume ninguna responsabilidad por la precisión de estas traducciones y recomienda remitirse siempre al documento original escrito en inglés (insertar vínculo URL).