

# Especificación de diseño de High Speed Serial Interface (HSSI)

---

Fecha: 12 de abril de 1993  
Revisión 3.0

Versión anterior:  
Revisión 2.11  
16 de marzo de 1990

Primera versión: Octubre de 1989  
Adición, número 1: Enero de 1991

Copyright© 1989-1993 por Cisco Systems, Inc. y T3plus Networking, Inc.

## Aviso

Cisco Systems, Incorporated y T3plus Networking, Incorporated no tienen ninguna representación con respecto a la información de la Especificación y no la justifica, pero la suministra de buena fe y con el mejor conocimiento y capacidad. Sin restringir la generalidad del presente, Cisco Systems y T3plus Networking no realizan ningún tipo de declaración ni otorgan ningún tipo de garantía con respecto a la aptitud de la información para un uso particular, como así tampoco respecto a que la utilización de dicha información contenida en la Especificación infrinja alguna patente o los derechos de alguna persona. El receptor ignora los reclamos que puede tener en contra de Cisco Systems o de T3plus Networking respecto al uso que haga el receptor de la información o de los productos que se derivan de allí.

Se otorga permiso para reproducir y distribuir esta especificación suministrada:

1. Los nombres Cisco Systems, Inc. y T3plus Networking, Inc. aparecen como autores,
2. una copia de este aviso aparece en todas las copias,
3. la información de este documento no sufrió modificaciones ni alteraciones.

El contenido de este documento no puede alterarse ni modificarse sin el permiso expreso por escrito de Cisco Systems y T3plus Networking. Se pretende que este documento sirva como una Especificación de interfaz serial de alta velocidad y evolucione hacia un estándar del sector. Por este motivo, se espera que en el futuro se haga una revisión de esta especificación para reflejar, a medida que vayan surgiendo, los requerimientos adicionales o la adhesión a nuevos estándares locales o internacionales. Cisco Systems y T3plus Networking se reservan el derecho de modificar o modificar esta especificación o el equipo al que se refiere en cualquier momento sin previo aviso y sin responsabilidad.

Para recibir copias actualizadas de esta especificación, se recomienda solicitar que se le agregue a la lista de correo de la Especificación HSSI de Cisco Systems o T3plus Networking.

## Autores conjuntos

John T. Chapman  
Ingeniero senior de diseño de hardware  
Cisco Systems, Inc.  
375 East Tasman Drive  
San José, CA 95134  
[jchapman@cisco.com](mailto:jchapman@cisco.com)  
TEL: (408) 526-7651 FAX: (408) 527-1709

Mitri Halabi  
Ingeniero senior de diseño de hardware  
T3plus Networking, Inc.  
Autopista San Tomás 2840  
Santa Clara, CA 95051  
[mitri@t3plus.com](mailto:mitri@t3plus.com)  
TEL: (408) 727-4545 FAX: (408) 727-5151

## Introducción

### **Abstracto**

Este documento especifica la interfaz de capa física que existe entre un DTE como un router de alta velocidad o un dispositivo de datos similares y un DCE como un DS3 (44.736 Mbps) o SONET STS-1 (51.84 Mbps) DSU. Las futuras extensiones de esta especificación pueden incluir compatibilidad con velocidades hasta SONET STS-3 (155,52 Mbps).

Este documento es compatible con la especificación de diseño de HSSI, escrita por John T. Chapman y Mitri Halabi, revisión 2.11, fechadas el 16 de marzo de 1990 y edición Adición N° 1, fechada el 23 de enero de 1991.

La HSSI está siendo ratificada por el American Standards Institute. La especificación de la capa física será EIA/TIA-613 y la especificación de la capa eléctrica será EIA/TIA-612. Estas especificaciones deberían estar disponibles a mediados de 1993. Aquí se ha incluido la notación cuando se conocen diferencias entre las dos especificaciones.

### **Organización del documento**

- Esta sección, [Introducción](#), presenta HSSI y lo relaciona con otras especificaciones.
- La siguiente sección, [Términos y definiciones](#), proporciona las definiciones utilizadas en el documento.
- La tercera sección, [Especificación eléctrica](#), define las especificaciones eléctricas, incluyendo nombres de señal, definiciones, características, funcionamiento y temporización.
- La sección cuatro, [Especificación física](#), describe las propiedades físicas, incluidos los tipos de conector, los tipos de cable y las asignaciones de pin.
- El apéndice A, [Diagrama de sincronización](#), relaciona gráficamente las relaciones de sincronización.
- El Apéndice B, [Convenciones de Circuito Diferencial](#), define gráficamente las convenciones de polaridad.
- El apéndice C, [Inmunidad de ruido](#), contiene un análisis detallado de la inmunidad de ruido ECL.

## Comparación con estándares existentes

Con respecto a la serie ANSI/EIA de normas, EIA-232-D, EIA-422-A, EIA-423-A, EIA-449 y EIA-530, esta especificación es distinta en el sentido de que:

- admite velocidades en bits seriales de hasta 52 Mbps
- utiliza niveles de transmisión de lógica acoplada (ECL) del emisor
- permite espaciar las señales de sincronización, es decir, en forma discontinua
- utiliza un protocolo de señal de control simplificado
- utiliza un protocolo de señal de loopback más detallado
- usa un conector diferente

## Términos y definiciones

Esta especificación utiliza las siguientes definiciones:

### **Loopback analógico**

Loopback en cualquier dirección que se asocia con el lado de línea de un equipo DCE.

### **Afirmación**

El (+side) de una señal dada estará en el potencial  $V_{oh}$  mientras que el (-side) de la misma señal estará en el potencial  $V_{ol}$ . (referencia: la sección [Especificaciones eléctricas](#) y el [apéndice B: Sección Convenciones del Circuito Diferencial](#)).

### **Deafirmación**

El (lado+) de una determinada señal estará potencialmente en  $V_{ol}$  mientras que el (lado-) de la misma señal estará potencialmente en  $V_{oh}$ .

### **Canal de comunicaciones de datos**

Los medios de transmisión y el equipo que interviene involucrados en la transferencia de información entre los DCE. En esta especificación, se supone que el canal de comunicaciones de datos es dúplex completo.

### **DCE: Equipo de comunicaciones de datos**

Los dispositivos y conexiones de una red de comunicaciones que conectan el canal de comunicaciones de datos al dispositivo final (DTE). Esto se utilizará para describir el CSU/DSU.

### **Loopback Digital**

Loopback en cualquier dirección que se asocia con el puerto DTE de un equipo DCE.

### **DS3: Nivel de señal digital 3**

También conocido como T3. Equivalente en ancho de banda a 28 T1. La velocidad de bits es 44.736 Mbps. DSU: Unidad de servicios de datos. Proporciona un DTE con acceso a los recursos de telecomunicaciones digitales.

### **DTE: Equipo de terminal de datos**

Parte de una estación de datos que funciona como origen de datos, destino de datos o ambos y que posibilita la función de control de las comunicaciones de datos según protocolos. Esto se utilizará para describir un router o un dispositivo similar.

### **Reloj**

Una secuencia de reloj a una velocidad de bits nominal que puede faltar impulsos de reloj a intervalos arbitrarios para longitudes arbitrarias de tiempo.

### **OC-N**

La señal óptica que surge de una conversión óptica de una señal STS-N.

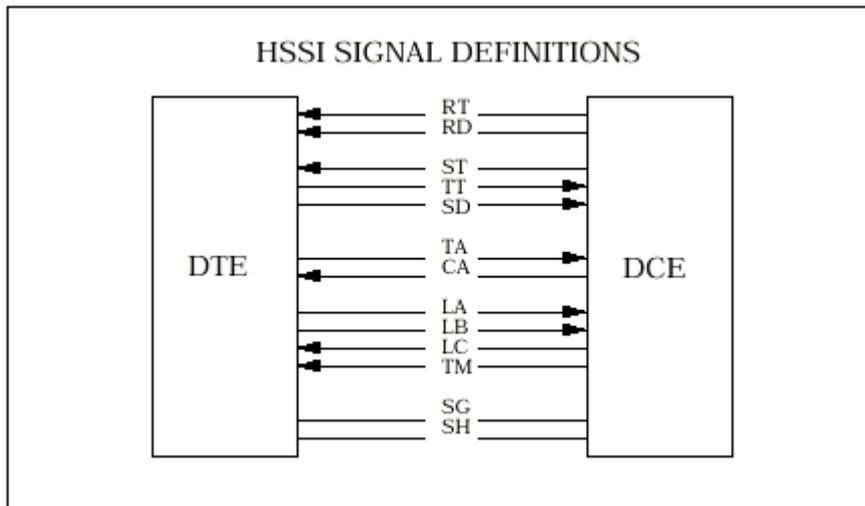
### **SONET: Red óptica sincrónica**

Estándar ANSI/CCITT para estandarizar el uso de sistemas de comunicación óptica.

**STS-N: Nivel n de señal de transporte sincrónica, donde n = 1,3,9,12,18,24,36,48**

STS-1 es la señal lógica básica del bloque de construcción para SONET con una velocidad de 51.84 Mbps. El nivel STS-N se obtiene intercalando bytes de las señales N STS-1 junto con una velocidad de N veces 51.84 Mbps.

## Especificación eléctrica



### Definiciones de señales

**RT: Hora de recepción** de DCE

RT consiste en saltos de reloj con una velocidad máxima de bits de 52 Mbps y proporciona información de receive signal element timing para RD.

**RD: Recibir datos** de DCE

Las señales de datos generadas por DCE, en respuesta a las señales de línea de canal de datos recibidas desde una estación de datos remota, se transfieren en este circuito a DTE. RD es sincrónico con RT.

**ST: Envío de temporización** de DCE

ST consiste en saltos del reloj con una velocidad máxima de bits de 52 Mbps y proporciona información de temporización del elemento señal de transmisión al DTE.

**TT: Temporización del terminal** a DCE

TT proporciona información de temporización de elementos de señal de transmisión a DCE. TT es el retorno de la señal de eco de ST al DCE (Equipo de comunicación de datos) por el DTE (Equipo terminal de datos). La TT debe ser guardada en la memoria intermedia sólo por el DTE y no debe estar precedida por cualquier otra señal.

**SD: Enviar datos** a DCE

Las señales de datos originadas por DTE serán transmitidas por el canal de datos a una estación en el extremo lejano. SD es sincrónica con TT.

**TA: Equipo de terminal de datos disponible** a DCE

La TA será afirmada por el DTE independientemente de la autoridad certificadora, cuando el DTE

esté preparado tanto para recibir como para enviar datos hacia y desde el DCE. La transmisión de datos válida no debe comenzar hasta que el DCE también haya afirmado la CA. Si el canal de comunicaciones de datos requiere un patrón de datos de mantenimiento activo cuando se desconecta el DTE, el DCE deberá suministrar este patrón mientras se desactiva el TA.

#### **CA: Equipo de comunicaciones de datos disponible** *a DCE*

El DCE afirmará la CA, independientemente de TA, cuando el DCE esté preparado para enviar y recibir datos hacia y desde el DTE. Esto indica que el DCE obtuvo un canal de comunicaciones de datos válido. La transmisión de datos no debe comenzar hasta que el DTE también haya afirmado la TA.

Dado que el canal de comunicaciones de datos no es válido a menos que se afirmen tanto TA como CA, entonces puede ser una buena práctica de implementación cerrar el flujo de datos entrante con TA y CA tanto en el DTE como en el DCE.

También debe reconocerse que cuando el DCE no afirma la CA, el DCE se encuentra en un estado desconocido y que los relojes ST y RT pueden estar ausentes y el DTE no puede considerarlos válidos.

#### **LA: Circuito de loopback A** *a DCE*

#### **LB: Circuito de loopback B** *a DCE*

La DTE afirma que LA y LB hacen que el DCE y su canal de comunicaciones de datos asociado proporcionen uno de los tres modos de loopback de diagnóstico. Específicamente, LB = 0, LA = 0: no loopback LB = 1, LA = 1: BLB de loopback DTE local = 0, LA = 1: línea local loopback LB = 1, LA = 0: Remote Line Loopback

Un 1 representa una aserción y un 0 representa una deaserción. Todos los loopbacks son loopbacks de carga útil. Por lo tanto, si el flujo de datos HSSI se multiplexa en sólo una parte del canal de comunicaciones de datos, entonces, como mínimo, sólo se debe respaldar en bucle esa parte del canal de comunicaciones de datos.

Un loopback DTE local (?digital?) se produce en el puerto DTE del DCE y se utiliza para probar el link entre el DTE y el DCE. Un loopback de línea local (?analógico?) se produce en el puerto del lado de línea del DCE y se utiliza para probar la funcionalidad de DCE. Un loopback de línea remota (?analógico?) se produce en el puerto de línea del DCE remoto y se utiliza para probar la funcionalidad del canal de comunicaciones de datos. Estos tres loops de retorno comienzan en esta secuencia. El dispositivo DCE remoto se controla dirigiendo los loops de retorno locales de forma remota. Tenga en cuenta que LA y LB son superconjuntos directos de las señales EIA LL (Loopback Local) y RL (Loopback Remoto).

El DCE local DCE continúa manteniendo a CA durante los tres modos de loopback. Si el DCE local no puede soportar un modo de loopback determinado, puede elegir desactivar CA mientras el DTE afirma LA o LB, el DCE remoto desactivará CA cuando el loopback remoto esté en vigor. Si el DCE remoto puede detectar un loopback local en el DCE local, el DCE remoto desactivará su CA; de lo contrario, el DCE remoto afirmará su CA cuando haya un loopback local en el DCE local.

El DCE implementa el loopback sólo hacia el DTE dominante. Se ignora la recepción de datos del canal de comunicaciones de datos. Los datos enviados al canal de comunicaciones de datos se rellenan con el flujo de datos de envío de los DTE de mando o con un patrón de datos de mantenimiento activo, según los requisitos específicos del canal de comunicaciones de datos.

No existe ninguna señal de estado del hardware explícita que indique que el DCE entró en modo de loopback. El DTE espera un tiempo adecuado después de afirmar la LA y la LB antes de asumir que el loopback es válido. El tiempo adecuado depende de la aplicación y no forma parte de esta especificación.

El modo de loopback se aplica a las señales de datos y de temporización. Por lo tanto, en el link DTE – DCE, la misma señal de sincronización podría atravesar el link tres veces, primero como ST, luego como TT y finalmente como RT.

### **LC: Circuito de loopback C** *de DCE*

LC es una señal opcional de solicitud de loopback desde el DCE al DTE, para solicitar que el DTE proporcione una trayectoria de loopback al DCE. Más concretamente, el DTE establecería  $TT=RT$  y  $SD=RD$ . ST no se utilizaría, y no se podía confiar en ella como fuente de reloj válida en estas circunstancias.

Esto luego permitiría que el diagnóstico de administración de la red DCE/DSU pruebe la interfaz DCE/DTE en forma independiente de DTE. Esto responde a la filosofía de HSSI que establece que ambos, el DCE y el DTE, son pares inteligentes independientes y que el DCE es capaz y responsable de mantener su propio canal de comunicación de datos.

En el caso de que tanto DTE como DCE hayan solicitado loopback, se dará preferencia al DTE.

Tenga en cuenta que la LC es opcional y no se ha incluido en el estándar ANSI.

### **TM: Modo de prueba** *de DCE*

El DCE afirma el modo de prueba cuando se encuentra en modo de prueba debido a loopbacks locales o remotos. Esta señal es opcional. TM ha sido agregado por ANSI y no formaba parte de la especificación HSSI original.

### **SG: Tierra de señal**

SG está conectado a tierra del circuito en ambos extremos. SG asegura que los niveles de la señal de transmisión permanezcan dentro del alcance de entrada del modo común de los receptores.

### **SH: Dirección del escudo**

El escudo encapsula el cable para EMI y no tiene el objetivo implícito de llevar corrientes de retorno de señal. El escudo se conecta directamente a tierra de la trama DTE y puede elegir una de las dos opciones en la toma a tierra de la trama DCE.

La primera opción es conectar el blindaje a la conexión a tierra del DCE (Equipo de comunicación de datos) directamente.

La segunda opción es conectar el escudo al marco DCE a través de una combinación paralela de 470 ohmios, +/-10%, 1/2 wattresistor, 0,1 uF, +/- 10%, 50 voltios, condensador monolítico de cerámica y 0,01 uF, +/- 10%, 50 condensador cerámico monolítico.

La red R-C-C debería estar lo más cerca posible de la unión del chasis con el escudo. Debido a que el escudo se termina directamente en el chasis DTE y DCE, no se le asigna un pin dentro del conector. La continuidad de escudo entre los cables de conexión se mantiene por la base del conector.

En la práctica, se suele utilizar la primera opción.

## Características eléctricas

Todas las señales son equilibradas, están dirigidas de forma diferenciada y se reciben a niveles estándar de ECL. La tensión negativa de alimentación de ECL, Vee, puede ser de  $-5,2 VCC \pm 10\%$  o  $-5,0 VCC \pm 10\%$  en cualquier extremo. Los tiempos ascendentes y los tiempos descendentes se miden en límites de umbral del 20% al 80%. Las características eléctricas del transmisor HSSI y del receptor se indican en la tabla del receptor HSSI y en la tabla del transmisor HSSI, que se presentan a continuación.

HSSI RECEIVER	
Receiver Type	ECL 10KH differential line receiver (MC10H115, MC10H116, MC10H125, or equivalent)
Maximum Signal Level	1.0 volts peak-to-peak differential
Minimum Signal Level	150 mvolts peak-to-peak differential
Common Mode Range	-2.85 volts dc to -0.8 volts dc (-0.5 volts max)
Differential Termination	110 ohms (carbon composition)
Common Mode Termination	750 ohms common-mode (optional)
Values apply over a temperature range of 0 to 75 degrees Celcius, and have been adjusted for the broader Vee range	

HSSI TRANSMITTER				
Driver Type	ECL 10KH with differential outputs (MC10H109, MC10H124, or equivalent)			
Signal Levels	minimum	typical	maximum	units
Voh:	-1.02	-0.90	-0.73	Vdc
Vol:	-1.96	-1.75	-1.59	Vdc
Vdiff:	0.59	0.85	1.21	Vdc
Trise:	0.50	-	2.30	ns
Tfall:	0.50	-	2.30	ns
Transmission Rate	52 Mbps maximum			
Signal Type	electrically balanced with Non Return to Zero encoding			
Termination	330 ohms low inductance resistors from each side to Vee			
Values apply over a temperature range of 0 to 75 degrees Celcius, and have been adjusted for the broader Vee range				

Además de las características eléctricas de 10KH ECL enumeradas en esta especificación, también es posible la interoperabilidad con 100K ECL y se permitirá en la especificación ANSI.

## Funcionamiento a prueba de fallos

En el caso de que el cable de interfaz no esté presente, los receptores ECL diferenciales deben establecer de forma predeterminada un estado conocido. Para garantizar esto, es necesario cuando se utiliza el 10H115 o el 10H116 para añadir un kohm de 1,5, un 1%, una resistencia de extracción al (-side) del receptor, y una resistencia de extracción de 1,5 kohm, un 1% al (+lado) del receptor.

Esto permite desarrollar el mínimo adecuado de 150 voltios a través de las resistencias de 110 ohmios y creará una terminación longitudinal de 750 ohmios. El estado predeterminado de todas las señales de interfaces es negado.

No es necesario utilizar resistencias externas al utilizar el 10H125, ya que tiene una red de sesgo

interno que obligará a un estado de salida bajo cuando las entradas queden flotando.

La interfaz no debe dañarse a causa de un circuito abierto o una conexión en corto circuito en ninguna combinación de pines.

## Sincronización

La sincronización de la fuente se define como las formas de onda de sincronización generadas en un transmisor. La temporización de destino se define como el incidente de las formas de onda de temporización en un receptor. Los anchos de los pulsos se miden entre el 50% de los puntos de la amplitud final del pulso. El borde anterior del pulso de sincronización debe definirse como un límite entre negación y afirmación. El borde de cola del pulso de temporización estará definido por el límite entre la afirmación y su opuesto.

El enlace HSSI, desde el punto de vista de la especificación y la implementación, debe considerarse como un enlace de volteo ECL a flip-flop. A medida que los datos salgan del puerto HSSI, se deben volver a colocar fuera de un flip flop ECL y directamente en el controlador de línea. En el receptor, una vez que se pasa por el receptor de la línea, los datos deben volver a colocarse inmediatamente en un flip flop ECL. Las señales de control no requieren el uso de un flip-flop.

El ancho mínimo del pulso de sincronización de fuente positiva RT, TT y ST debería ser 7.7 ns. Esto permite una tolerancia de ciclo de fuente en servicio de +/- 10%. Este valor se obtiene de:

- 
- 

$$10\% = \frac{(9.61\text{ns} - 7.7\text{ns})}{19.23\text{ns}} \times 100\%$$

- 

where:

- 
- 

$$19.23 \text{ ns} = 1 / (52 \text{ Mbps})$$

$$9.61 \text{ ns} = 19.23 \text{ ns} * 1/2 \text{ cycle}$$

Los datos cambiarán a su nuevo estado dentro de los +/- 3 ns del borde principal del pulso de sincronización de origen.

El ancho del pulso de sincronización de destino mínimo positivo de RT, TT y ST será de 6.7 ns. Los datos cambiarán a su nuevo estado dentro de los +/- 5 ns del borde principal del pulso de sincronización de destino. Estos números permiten elementos de distorsión de la transmisión de 1.0 ns de distorsión de ancho de pulso y 2.0 ns de reloj a desviación de datos. Este deja 1.7 ns para el tiempo de configuración del receptor.

Los datos se considerarán válidos en el extremo final. De este modo, los datos del reloj del transmisor fuera en el borde anterior y los datos del reloj del receptor dentro en el extremo posterior. Esto permite una ventana de aceptación para el error de desviación de datos del reloj.

El retraso del puerto ST al puerto TT dentro del DTE será inferior a 50 ns. El DCE debe poder

tolerar un retraso de al menos 200 ns entre su puerto ST y su puerto TT. Esto permite una demora de 150 ns para 15 metros de cable (demora de ida y vuelta)

Para facilitar diversas implementaciones de multiplexor DCE de bit/byte/trama, RT y ST pueden estar reajustados para permitir la eliminación de pulsos de entramado y para permitir la limitación del ancho de banda del HSSI.

El intervalo de brecha máximo no está especificado. Sin embargo, se espera que las fuentes de reloj ST y RT sean generalmente continuas cuando se afirma tanto TA como CA. Un intervalo de separación se mide como la cantidad de tiempo entre dos aristas de reloj consecutivas de la misma pendiente.

La velocidad de transferencia instantánea de datos nunca debe exceder los 52 Mbps.

La definición de datos válidos depende de la aplicación y no es sujeto de esta especificación. Esto concuerda con el hecho de que HSSI sea una especificación de capa 1, y por lo tanto no tiene conocimiento de la validez de los datos.

CA y TA son asíncronas entre sí. En la afirmación de CA, las señales ST, RT y RD no se considerarán válidas para al menos 40 ns. En la afirmación de TA, las señales TT y SD no se considerarán válidas para al menos 40 ns. Esto tiene como objetivo otorgarle al extremo receptor suficiente tiempo para la configuración.

No se debe eliminar la aserción de TA hasta al menos un pulso de reloj después de que se haya transmitido el último bit de datos válido en SD. Esto no se aplica para las CA porque los datos son transparentes para el DCE.

## Especificación física

El cable que conecta DCE con DTE está compuesto por 25 pares trenzados con un blindaje general de papel de aluminio/trenzado. Ambos conectores del cable son machos. Los puertos DTE y DCE tienen receptáculos hembra. Las dimensiones se indican en metros (m) y pies (pies).

Tenga en cuenta que aunque el cable HSSI utiliza el mismo conector que la especificación SCSI-2, las dificultades de los cables de los cables HSSI y SCSI-2 son diferentes. Los cables SCSI-2 pueden ser de hasta 70 ohmios, mientras que los cables HSSI se especifican a 110 ohmios. Como resultado, es posible que los cables hechos con las especificaciones SCSI-2 no funcionen correctamente con HSSI. Las incompatibilidades serán más evidentes con longitudes de cables más largas.

El cable se describe completamente en la tabla HSSI Cable Electrical Specification, en la tabla HSSI Cable Physical Specification y en la tabla HSSI Connector Pinout, que se presentan a continuación.

HSSI CABLE ELECTRICAL SPECIFICATION			
length:	nominal: maximum:	2 m 15 m	6 ft 50 ft
maximum DCR at 20 C:		23 ohms/km	70ohms/1000ft
differential impedance at 50 MHz: (95% or more pairs) nominal: maximum:		110 ohms 110 ohms	(+/- 11 ohms) (+/- 15 ohms)
signal attenuation at 50 MHz:		0.28 dB/m	0.085 dB/ft
propagation delay, maximum: (65% of c) delta:		5.18 ns/m 0.13 ns/m	1.58 ns/ft 0.04 ns/ft
mutual capacitance within pair, minimum: (95% or more pairs) nominal: maximum:		34 pF/m 41 pF/m 48 pF/m	10.5 pF/ft 12.5 pF/ft (+/- 10%) 15.0 pF/ft
capacitance, pair to shield, maximum: delta:		78 pF/m 2.6 pF/m	24 pF/ft 0.8 pF/ft

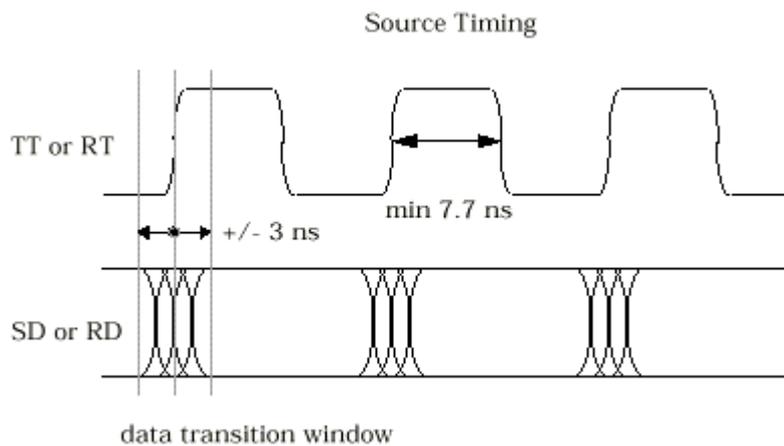
HSSI CABLE PHYSICAL SPECIFICATION	
cable type:	multi-conductor cable, consisting of 25 twisted pairs cabled together with an overall double shield and PVC jacket
gauge:	28 AWG, 7 strands of 36 AWG, tinned annealed copper, nominal 0.015 in. diameter
insulation:	polyethylene or polypropylene; 0.24 mm, .0095 in. nominal wall thickness; 0.86 mm +/- 0.025 mm, .034 in. +/- 0.001 in. outside diameter
foil shield:	0.051 mm, 0.002 in. nominal aluminum/polyester/aluminum laminated tape spiral wrapped around the cable core with a 25% minimum overlap
braid shield:	braided 36 AWG, tinned plated copper in accordance with 80% minimum coverage
jacket:	75 degrees C flexible polyvinylchloride
jacket wall:	0.51 mm, 0.020 in. minimum thickness
dielectric strength:	1000 VAC for 1 minute
outside diameter:	10.41 mm +/- 0.18 mm, 0.405 in. +/- 0.015 in.
agency compliance:	CL2, UL Subject 13, NEC 725-51(c) + 53(e)
manufacturer p/n:	QUINTEC (Madison Cable 4084) ICONTEC RTF-40-25P-2 (Berktek, C&M) or equivalent
connector, plug type:	2 row, 50 pin, shielded tab connectors AMP plug part number 749111-4 or equivalent AMP shell part number 749193-2 or equivalent
connector, receptacle type:	2 row, 50 pin, receptical header with rails and latch blocks. AMP part number 749075-5, 749903-5 or equivalent

## HSSI CONNECTOR PINOUT

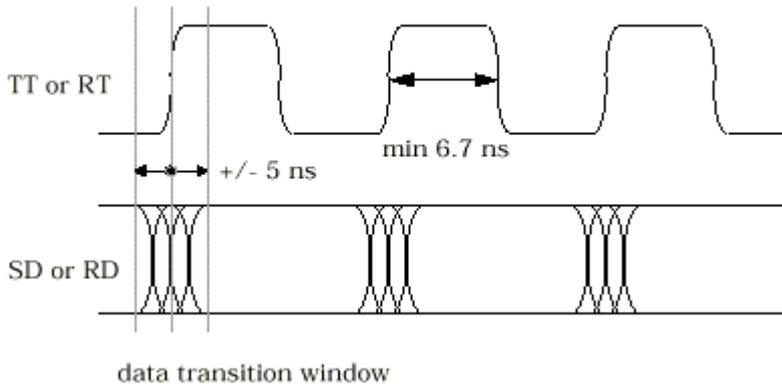
Signal Name		Direction DTE - DCE	Pin # (+side)	Pin # (-side)
SG	Signal Ground	---	1	26
RT	Receive Timing	<--	2	27
CA	DCE Available	<--	3	28
RD	Receive Data	<--	4	29
LC	Loopback circuit C	<--	5	30
ST	Send Timing	<--	6	31
SG	Signal Ground	---	7	32
TA	DTE Available	-->	8	33
TT	Terminal Timing	-->	9	34
LA	Loopback circuit A	-->	10	35
SD	Send Data	-->	11	36
LB	Loopback circuit B	-->	12	37
SG	Signal Ground	---	13	38
	5 ancillary to DCE (reserved)	-->	14 - 18	39 - 43
SG	Signal Ground	---	19	44
	4 ancillary from DCE (reserved)	<--	20 - 23	45 - 48
TM	Test Mode	<--	24	49

Pin pairs 5&30, 14&30 to 18&43, and 20&45 to 23&48 are reserved for future use. To allow future backward compatibility, no signals or receivers of any kind should be connected to these pins.

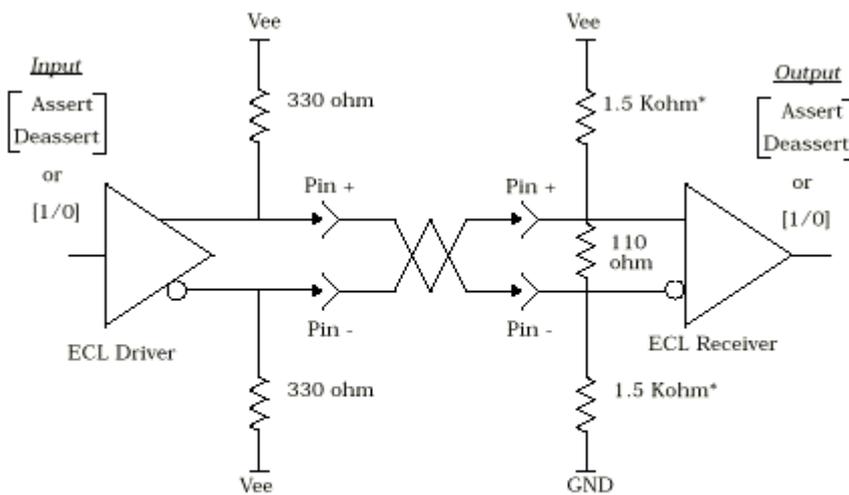
## Apéndice A: Diagramas de sincronización



### Destination Timing



## Apéndice B: Convenciones de circuito diferencial



\* optional

## Apéndice C: Inmunidad de ruido

Este apéndice calcula la inmunidad al ruido de esta interfaz. Los 150 mvolts normales de inmunidad de ruido especificados para el circuito ECL 10KH no corresponden a este caso dado que las entradas de diferencial no utilizan la tensión  $V_{bb}$  polarizada interna del circuito ECL.

Los márgenes de ruido del modo común (NM<sub>cm</sub>) y del modo diferencial (NM<sub>diff</sub>) para los receptores de línea diferencial 10H115 y 10H116 son:

- 
- 

$$NM_{cm+} = V_{cm\_max} - V_{oh\_max}$$

$$= -0.50 \text{ Vdc} - (-0.81 \text{ Vdc})$$

$$= 310 \text{ mVdc}$$

$$\begin{aligned}
\text{NMcm-} &= \text{Vol\_min} - \text{Vcm\_min} \\
&= -1.95 \text{ Vdc} - (-2.85 \text{ Vdc}) \\
&= 900 \text{ mVdc}
\end{aligned}$$

$$\begin{aligned}
\text{NMdiff} &= \text{Vod\_min} * \text{length} \\
&\quad * \text{attenuation/length} \\
&\quad - \text{Vid\_min} \\
&= 590 \text{ mv} \\
&\quad / [10^{((50 \text{ ft} * .085 \text{ dB/ft})/20)}] \\
&\quad - 150 \text{ mv} \\
&= 361 \text{ mv}
\end{aligned}$$

$$\begin{aligned}
&\text{in dB:} \\
&= 20 \log [(361+150)/150] \\
&= 10.6 \text{ dB}
\end{aligned}$$

•

Las tensiones están a 25 grados Celsius. Vcm\_max fue elegido para estar 100 mv por debajo del punto de saturación Vih = -0.4 voltios.

El receptor diferencial 10H125 tiene una fuente +5 Vdc y puede manejar una gran excursión positiva en su entrada. El rendimiento de margen de ruido de 10H125 es:

•  
•

$$\begin{aligned}
\text{NMcm+} &= \text{Vcm\_max} - \text{Voh\_max} \\
&= 1.19 \text{ Vdc} - (-0.81 \text{ Vdc}) \\
&= 2000 \text{ mVdc}
\end{aligned}$$

•

NMcm- y NMdiff son los mismos para todas las partes. Para permitir el uso de todos los receptores, el ruido de modo común del peor caso en el receptor debe limitarse a 310 mvdc.

Interprete el rango de modo común, Vcm\_max a Vcm\_min, como el rango máximo de voltajes absolutos que pueden aplicarse a la entrada del receptor, independientemente del voltaje diferencial aplicado. El rango de voltaje de señal, Voh\_max to Vol\_min, representa el rango máximo de voltajes absolutos que producirá el transmisor. La diferencia entre estos dos rangos representa los márgenes de ruido de modo común, NMcm+ y NMcm-, donde NMcm+ es la máxima excursión para el ruido aditivo de modo común y NMcm- es la máxima excursión para el ruido sustractivo de modo común.

Con cinco bases de par trenzado de 50 pies, la cantidad de corriente de loop de tierra necesaria para utilizar el margen de ruido del modo común es:

- 
- 

$$\begin{aligned} I_{\text{ground}} &= \text{NMcm}+ \\ & / (\text{cable\_resistance}/5 \text{ pairs}) \\ & = (310 \text{ mVdc}) \\ & / (70 \text{ mohms/foot} \\ & \times 50 \text{ feet} / 10 \text{ wires}) \\ & = 0.9 \text{ amps dc} \end{aligned}$$

- 

Esta cantidad de corriente nunca debe estar presente en condiciones normales de operación.

El ruido de modo común tendrá un efecto insignificante en el margen de ruido diferencial,  $V_{df\_app}$ . Más precisamente,  $V_{df\_app}$  sería afectado por el ruido que se introduce por un lado de los carriles de energía en el transmisor. ECL  $V_{cc}$  tiene una proporción de rechazo de la fuente de alimentación (PSRR) de 0 dB mientras que ECL  $V_{ee}$  tiene una PSRR del orden de 38 dB. De esta manera, para minimizar ruidos diferenciales,  $V_{cc}$  está conectada a tierra y  $V_{ee}$  está conectada a una fuente de energía negativa.